

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09162722

(43)Date of publication of application: 20.06.1997

(51)Int.Cl.

H03K 19/0944
H03K 19/173

(21)Application number: 07315603

(71)Applicant:

KAWASAKI STEEL CORP

(22)Date of filing: 04.12.1995

(72)Inventor:

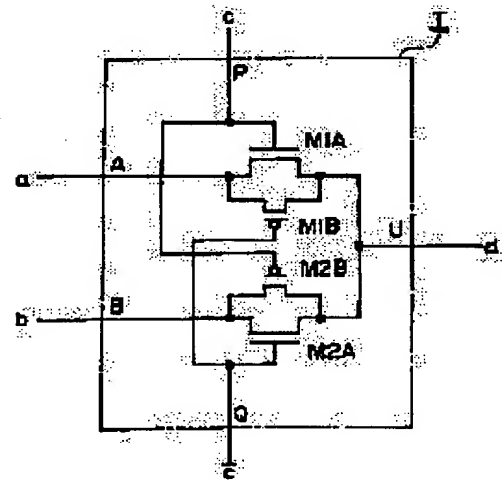
SAKO NORIMITSU

(54) PASS TRANSISTOR LOGIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize comparatively complicated logic by utilizing features of the pass transistor(TR) logic circuit while improving the operating speed, reducing the power consumption and number of components.

SOLUTION: A small P-channel MOS TR M1B is connected in parallel with an N-channel MOS TR M1A of a pass TR to form a 1st unit pass TR and a small P-channel MOS TR M2B is connected in parallel with an N-channel MOS TR M2A of a pass TR to form a 2nd unit pass TR to increase an H level of an output signal U. The 1st unit pass TR and the 2nd unit pass TR are connected as shown in figure to obtain a simple configuration the TRs are turned on/off by two complementary input signals P and Q (= inverse of the signal P). Furthermore, the frequency of use is high in the case of realizing a general logic circuit.



TRANSLATION OF RELEVANT PORTION
IN JAPANESE PATENT LAID-OPEN (KOKAI) No. HEI 9-162722

[Scope of Claim for a Patent]

[Claim 1] A pass transistor logic circuit comprising a pair of pass transistor circuits, or a first unit pass transistor and a second unit pass transistor, in which a plurality of pass transistors turning on or off in its output status in response to a logic value of an input, are connected in series or in parallel so as to arrange a desired logic circuit capable of executing logical multiplication operation or logical summing operation,

the first unit pass transistor and the second unit pass transistor including:

a couple of N-channel MOS transistors utilized as a pass transistor; and

a couple of P-channel MOS transistors smaller in size than the N-channel MOS transistor, utilized as a pass transistor, wherein

one of the N-channel MOS transistors and one of the P-channel MOS transistors are connected in parallel at the source/drain thereof to form the first unit pass transistor,

the other of the N-channel MOS transistors and the other of the P-channel MOS transistors are connected in parallel at the source/drain thereof to form the second unit pass transistor,

the first unit pass transistor is supplied at the source/drain thereof with an input signal A,

the second unit pass transistor is supplied at the source/drain thereof with an input signal B,

the other source/drain of the first unit pass transistor and the other source/drain of the second unit pass transistor are connected to each other from which an output signal U is generated,

an input signal P is supplied to the gate of the N-channel MOS transistor of the first unit pass transistor and the gate of the P-channel MOS transistor of the second unit pass transistor, and

an input signal Q (=P bar) of the same signal and having an opposite logical status to the input signal P, is supplied to the gate of the P-channel MOS transistor of the first unit pass transistor and the gate of the N-channel MOS transistor of the second unit pass transistor.

[Claim 2] A pass transistor logic circuit comprising a pair of pass transistor circuits, or a first unit pass transistor and a second unit pass transistor, in which a plurality of pass transistors turning on or off in its output status in response to a logic value of an input, are connected in series or in parallel so as to arrange a desired logic circuit capable of executing logical multiplication operation or logical summing operation, wherein

the pass transistor logic circuit employs a unit pass transistor in which an N-channel MOS transistor and a P-channel MOS transistor smaller in size than the N-channel MOS transistor are connected to each other in parallel at the source/drain thereof, a couple of input signals P and an input signal Q (=P

bar) of the same signal and having an opposite logical status to the input signal P, are supplied to the gates of the N-channel MOS transistor and the P-channel MOS transistor, respectively, whereby the N-channel MOS transistor and the P-channel MOS transistor are turned on or off at the same time,

a logical operation based on one or more input logical values is carried out by using a logic circuit composed of the unit pass transistors connected in series or parallel, whereby there are formed a plurality of logical operation channels each defined as a path for yielding a certain logical value, and

the pass transistor logic circuit comprises a multiple input CMOS logic circuit to which a plurality of outputs generated from the respective logical operation channels are independently supplied.

[Claim 3] The pass transistor logic circuit according to claim 1 or 2, characterized in that the P-channel MOS transistor is made to have a size of half to one-tenth the size of the N-channel MOS transistor which constitutes the unit pass transistor together with the P-channel MOS transistor.

[0041] The operation of the present invention will hereinafter be described in brief.

[0042] The above-described first invention and second invention intend to provide a pass transistor logic circuit. The pass transistor logic circuit is a circuit in which a plurality of pass transistors turning on or off in response to the logic values of input signals are connected in series or parallel so that a circuit capable of carrying out logical

multiplying operation or logical summing operation is constructed, Thus, a desired logical circuit is obtained.

[0043] According to the first or second invention, there is proposed an arrangement in which neither single N-channel MOS transistor nor single P-channel MOS transistor is utilized, but an N-channel MOS transistor and a P-channel MOS transistor having a size smaller than that of the N-channel MOS transistor are combined to construct a unit pass transistor to be utilized.

[0044] According to the unit pass transistor, an N-channel MOS transistor and a P-channel MOS transistor having a size smaller than that of the N-channel MOS transistor are connected in parallel at the source/drain. Further, according to the arrangement of the unit pass transistor, a couple of input signals P and Q ($=\bar{P}$) of the same signal having a positive logic or negative logic are supplied to the gates of the N-channel MOS transistor and P-channel MOS transistor, respectively. Thus, the N-channel MOS transistor and P-channel MOS transistor are turned on or off at a time.

[0045] According to the unit pass transistor, when H-level or L-level of a signal is transmitted, the N-channel MOS transistor is fundamentally driven. Therefore, when a signal of L-level is transmitted, the L-level can be sufficiently lowered down to the ground level, or GND (V_{ss}). On the other hand, when a signal of H-level is transmitted, since the P-channel MOS transistor is operated, the H-level can be sufficiently increased up to the power supply level of VDD.

[0190]

[Effect of the invention] As has been described above, according to the present invention, the H-level of a signal can be more satisfactorily maintained without using a pull-up circuit, and at the same time, the pass transistor logic circuit can be operated at a low power supply voltage. If an output circuit on the preceding stage is relieved from a load, the operation rate can be increased, a signal can be positively transmitted to the next circuit stage, and the circuit can have an improved noise withstanding characteristics. Further, if a designer of the circuit can successfully reduce the number of stages of transistors of the logic operation unit path of the logic circuit composed exclusively of the pass transistors, then it becomes possible to realize a circuit of relatively complicated logic while the operation rate is improved. In particular, it becomes possible to construct with ease a logic which would be difficult to construct by a conventional logic circuit composed exclusively of the pass transistors.

Furthermore, according to the present invention, it becomes possible to provide a pass transistor logic circuit which makes it possible to realize a logic circuit which is composed of smaller number of circuit components and operable at a higher rate as compared with a conventional logic circuit which is composed of CMOS logic circuits.

[0191] In more concretely, according to the present invention, it is possible to realize a primitive logic circuit, which can be fabricated advantageously by ordinary CMOS logic circuits, with extremely high efficiency while the advantage of the conventional pass transistor logic circuit is maintained by the

ordinary CMOS logic circuits. Further, it becomes possible to carry out multiple term logical multiplication operation for multiple variables by a smaller number of transistors.

Moreover, the overall performance of the circuit can be improved up to 2.6 times to 12 times the conventional pass transistor logic circuit, and about 1 to 5 times the ordinary CMOS logic circuit, for example. In addition, if the logical operation unit path of the pass transistor logic circuit is driven with an output voltage in a full swing mode, then the current flowing through the circuit can be decreased and noise withstanding property can be improved.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 6 2 7 2 2

(43) 公開日 平成9年(1997)6月20日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 3 K	19/0944		H 0 3 K	19/094	A
	19/173	1 0 1		19/173	1 0 1

審査請求 未請求 請求項の数 3

O L

(全 2 8 頁)

(21) 出願番号 特願平 7 - 3 1 5 6 0 3

(22) 出願日 平成7年(1995)12月4日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 迫 則光

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

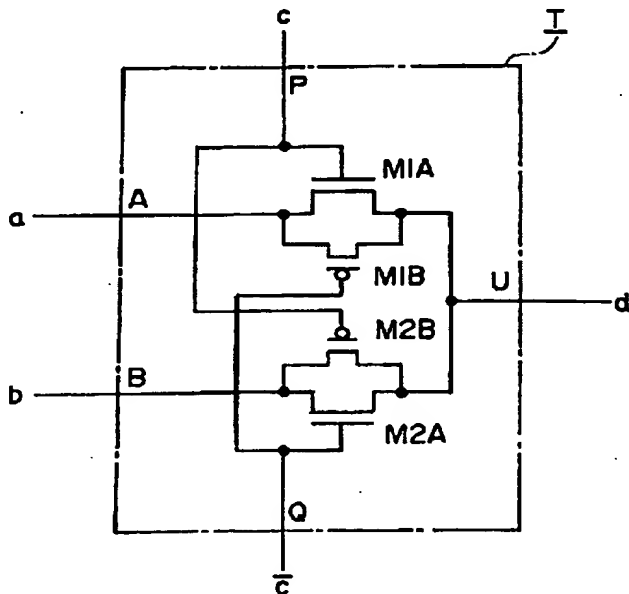
(74) 代理人 弁理士 高矢 諭 (外2名)

(54) 【発明の名称】 パストランジスタ論理回路

(57) 【要約】

【課題】 パストランジスタ論理回路の特徴を活かして、動作速度の向上、低消費電力化及び素子数の低減を図りながら、比較的複雑な論理も実現可能とする。

【解決手段】 パストランジスタのNチャネルMOSトランジスタM1Aに対して小さなPチャネルMOSトランジスタM1Bを並列接続して第1単位パストランジスタとし、パストランジスタのNチャネルMOSトランジスタM2Aに対して小さなPチャネルMOSトランジスタM2Bを並列接続して第2単位パストランジスタとすることで、出力信号UのHレベルの上昇を図る。このような第1単位パストランジスタ及び第2単位パストランジスタを図示される如く接続して、相補的な2つの入力信号P及びQ(=Pバー)でオンオフする簡潔な構成となる。又、一般的な論理回路を実現する際に利用頻度が高い。



【特許請求の範囲】

【請求項 1】 入力 of 論理値に応じて出力がオンオフするパストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行なう回路を構成し、所望の論理回路を得るようにしたことを特徴とするパストランジスタ論理回路において、

パストランジスタとして用いる 2 つの N チャンネル MOS トランジスタと、

該 N チャンネル MOS トランジスタより小さな、パストランジスタとして用いる 2 つの P チャンネル MOS トランジスタとを備え、

前記 N チャンネル MOS トランジスタの 1 つ及び前記 P チャンネル MOS トランジスタの 1 つがソース／ドレインで並列接続されて、第 1 単位パストランジスタを構成し、別の前記 N チャンネル MOS トランジスタ及び別の前記 P チャンネル MOS トランジスタがソース／ドレインで並列接続されて、第 2 単位パストランジスタを構成し、

前記第 1 単位パストランジスタのソース／ドレインの一方には、入力信号 A が入力され、

前記第 2 単位パストランジスタのソース／ドレインの一方には、入力信号 B が入力され、

前記第 1 単位パストランジスタの他方のソース／ドレイン及び前記第 2 単位パストランジスタの他方のソース／ドレインが相互に接続されて、出力信号 U を出力し、

同一信号で正論理又は負論理となる 2 つの入力信号 P 及び Q (= P バー) について、前記第 1 単位パストランジスタの N チャンネル MOS トランジスタのゲート及び前記第 2 単位パストランジスタの P チャンネル MOS トランジスタのゲートには、入力信号 P が入力され、

前記第 1 単位パストランジスタの P チャンネル MOS トランジスタのゲート及び前記第 2 単位パストランジスタの N チャンネル MOS トランジスタのゲートには、入力信号 Q が入力され、

このように接続された前記第 1 単位パストランジスタ及び前記第 2 単位パストランジスタで構成されたペアパストランジスタ回路を備えたことを特徴とするパストランジスタ論理回路。

【請求項 2】 入力 of 論理値に応じて出力がオンオフするパストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行なう回路を構成し、所望の論理回路を得るようにしたことを特徴とするパストランジスタ論理回路において、

N チャンネル MOS トランジスタ、及び該 N チャンネル MOS トランジスタよりも小さな P チャンネル MOS トランジスタがソース／ドレインで並列接続され、同一信号で正論理又は負論理となる 2 つの入力信号 P 及び Q (= P バー) が、それぞれ、これら N チャンネル MOS トランジスタ及び P チャンネル MOS トランジスタのゲートに入力されて、これら N チャンネル MOS トランジスタ及び P チャンネル MOS トランジスタが同時にオンオフするようにさ

れた単位パストランジスタを用い、

1 つ以上の入力 of 論理値に基づいた論理演算を、前記単位パストランジスタを直列あるいは並列に接続した論理回路を用いて行って、ある論理値を出力するまでの経路として定義される論理演算系統を複数形成し、

これら論理演算系統から得られる、複数の出力をそれぞれ個別に入力する多入力 CMOS 論理回路を備えたことを特徴とするパストランジスタ論理回路。

【請求項 3】 請求項 1 又は 2 において、

10 前記単位パストランジスタの P チャンネル MOS トランジスタの大きさが、共に用いられる N チャンネル MOS トランジスタの大きさの $(1/2) \sim (1/10)$ とされていることを特徴とするパストランジスタ論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力 of 論理値に応じて出力がオンオフするパストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行なう回路を構成し、所望の論理回路を得るよう

20 ようにしたことを特徴とするパストランジスタ論理回路に係り、特に、プルアップ回路を用いることなく H レベルを改善し、同時に、低電源電圧での動作を可能とし、前段の出力回路の負荷を軽減することで、動作速度向上や次段への信号未伝達防止やノイズ耐性向上を図り、又、パストランジスタのみで構成される論理回路の論理演算系統のトランジスタ段数をより抑えることで、動作速度を向上させながら、一方、比較的複雑な論理も実現可能とし、特に従来のパストランジスタのみで構成される論理回路では苦手な論理も、より容易に実現可能とし、

30 又、従来からの CMOS 論理回路で構成した場合に比べても、必要な素子数がより少なく演算速度もより高速な論理回路を実現することができるパストランジスタ論理回路に関する。

【0002】

【従来の技術】 従来から、用いる素子の数を低減することや、動作速度を向上させることを目的とし、パストランジスタ論理回路と称するものが提供されている。このパストランジスタ論理回路は、N チャンネル MOS トランジスタや P チャンネル MOS トランジスタ等、入力 of 論理値に応じて出力がオンオフするパストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行う回路を構成し、所望の論理回路を得るよう

40 ようにしたものである。

【0003】 このようなパストランジスタ論理回路によれば、実現しようとする論理によっては、一般に広く用いられる CMOS (complementary metal oxide semiconductor) 型の論理回路に比べ、必要とするトランジスタ等の素子数を減少することができ、あるいは、動作速度を向上させることができる。

50 【0004】 ここで、このようなパストランジスタ論理

回路には、従来からさまざまな形態のものがある。以下、入力信号A及びBについて、 $(A \cdot B)$ の論理積演算(AND論理演算)あるいは $[(A \cdot B) \text{ バー}]$ のNAND論理演算を行う回路を具体例として、幾つかの従来から知られているパストランジスタ論理回路について説明する。なお、例えばある信号 α について、以降、 α バーは、信号 α を反転させたものを示し、負論理の信号 α を示す。

【0005】まず、図1では、CVSL(cascode voltage switch logic)として知られるパストランジスタ論理回路の一種の1例が示される。この図1において、NチャンネルMOSトランジスタM1及びM2のソース及びドレインが互いに直列接続され、更に、これらはPチャンネルMOSトランジスタM5のドレインに接続されている。又、NチャンネルMOSトランジスタM3及びM4は、ソース及びドレインが互いに並列接続され、更に、これらはPチャンネルMOSトランジスタM6のドレインに接続されている。又、PチャンネルMOSトランジスタM5及びM6のソースは、いずれも電源VDDに接続されている。又、NチャンネルMOSトランジスタM2、M3及びM4のそれぞれのソースは、グラウンドGNDに接続されている。ここで、入力信号AはNチャンネルMOSトランジスタM1のゲートに入力され、入力信号AバーはNチャンネルMOSトランジスタM3のゲートに入力され、入力信号BはNチャンネルMOSトランジスタM2のゲートに入力され、入力信号BバーはNチャンネルMOSトランジスタM4のゲートに入力されている。この図1に示される論理回路では、入力信号A、Aバー、B、Bバーについて、PチャンネルMOSトランジスタM6のドレイン部分から、論理積の演算結果 $(A \cdot B)$ が出力される。又、PチャンネルMOSトランジスタM5のドレイン部分から、 $[(A \cdot B) \text{ バー}]$ の論理演算結果が出力される。

【0006】次に、図2では、パストランジスタ論理回路の一種であるCPL(complementary pass-transistor logic)と称する論理回路の1例が示される。この図2において、入力信号AはNチャンネルMOSトランジスタM1のソースに入力され、入力信号AバーはNチャンネルMOSトランジスタM3のソースに入力されている。又、入力信号BはNチャンネルMOSトランジスタM1及びM3のゲートに入力され、入力信号BバーはNチャンネルMOSトランジスタM2及びM4のゲートに入力されている。又、NチャンネルMOSトランジスタM1及びM2はソース及びドレインが相互に並列接続され、更に、これらはPチャンネルMOSトランジスタM5のドレインに接続されている。又、NチャンネルMOSトランジスタM3及びM4のソース及びドレインは互いに並列接続され、更に、これらはPチャンネルMOSトランジスタM6のドレインに接続されている。又、PチャンネルMOSトランジスタM6のドレイン部分からは、インバータI1

を介して、 $(A \cdot B)$ の論理積の演算結果が出力される。又、PチャンネルMOSトランジスタM5のドレイン部分からは、インバータI2を介して、 $(A \cdot B)$ バーの論理演算結果が出力される。

【0007】ここで、この図2において、更には図3以降においても、電源を表す符号VDD及びグラウンドを表す符号GNDが省略されている。この図2以降については、T型記号で終端されている配線は、電源VDDに接続されているものとする。一方、逆三角形記号で終端されている配線は、グラウンドGNDに接続されているものとする。

【0008】次に、図3では、パストランジスタ論理回路の一種である、SRPL(swingrestored pass-transistor logic)の1例が示される。図4では、パストランジスタ論理回路の一種の、DSL(differential split-level CMOS logic)の1例が示される。図5では、パストランジスタ論理回路の一種の、DPL(double pass-transistor logic)の1例が示される。図6では、パストランジスタ論理回路の一種である、DCVSPG(differential cascode voltage switch with the pass-gate)の1例が示される。これら図3～図6のいずれにおいても、入力信号A、Aバー、B、Bバーに関する、 $A \cdot B$ の演算、及び、 $(A \cdot B)$ バーの演算がなされるようになっている。

【0009】又、図7では、互いに構成する論理が異なる、パストランジスタ論理回路のセルY1～Y3が示される。ここで、これらセルY1～Y3のいずれにおいても、NチャンネルMOSトランジスタM1～M6によって、パストランジスタ論理回路が構成され、これに対してインバータIが接続されている。ここで、該インバータIは、図8に示される如く、NチャンネルMOSトランジスタM1及びM2と、PチャンネルMOSトランジスタM3～M5によって構成されている。

【0010】ここで、図9に示されるCMOSスタティック論理回路による全加算器と、図10に示されるCPLの論理回路の全加算器とを中心として、必要とするトランジスタ数や動作速度、又消費電力等について比べてみる。

【0011】まず、図9では図示される如く、又図10では図示が省力されているものの同様に、インバータI1～I3を用いて、入力信号A～Cをそれぞれ反転させた入力信号Aバー～Cバーが生成されている。

【0012】又、まず図9では、全加算器の加算結果Sumは、NチャンネルMOSトランジスタM1～M10、PチャンネルMOSトランジスタM16～M25、及びインバータI4によって生成されている。又、この図9の全加算器のキャリー(繰り上がり)Coutは、NチャンネルMOSトランジスタM11～M15、PチャンネルMOSトランジスタM26～M30、及びインバータI5によって生成されている。

【0013】次に、図10に示されるCPLの論理回路の全加算器では、加算結果Sum又(Sum)バーは、NチャンネルMOSトランジスタM1～M4と、PチャンネルMOSトランジスタM17～M20、及びインバータI1及びI2によって生成されている。又、この図10の全加算器では、NチャンネルMOSトランジスタM5～M16、及びインバータI3及びI4によって全加算器のキャリー(繰り上がり)Cout及び(Cout)バーが生成されている。

【0014】ここで、図9に示した通常のCMOS論理回路の全加算器、及び図10に示したCPLの論理回路*

3 μ mデバイス(全加算器)

性能	トランジスタ数 (個)	スピード (ns)	消費電力 (mW/25MHz)	P・D積 (相対値)	E・D積 (相対値)
基本回路					
通常CMOS	40	20	0.29	1.00	1.00
CVSL	22	22	0.61	2.31	2.55
DSL	26	14	0.48	1.15	0.88

【0016】

※ ※【表2】

0.4 μ mデバイス(全加算器)

性能	トランジスタ数 (個)	スピード (ns)	消費電力 (mW/100MHz)	P・D積 (相対値)	E・D積 (相対値)
基本回路					
通常CMOS	40	0.82	0.52	1.00	1.00
CPL	28	0.44	0.42	0.43	0.23
DPL	48	0.63	0.58	0.86	0.66
DCVSPG	24	0.53	0.30	0.37	0.24
SRPL	28	0.48	0.19	0.21	0.13

【0017】上記の表1において、全加算器の場合では、例えば、通常のCMOSで構成した場合に比べ、CPLの論理回路で構成した場合は、必要とするトランジスタ数が少なく、スピードも速く、更には消費電力も少

30

なくなっている。又、性能の指標であるP・D積やE・D積についても、CPLの論理回路の場合の方が通常のCMOSの場合に比べてより性能が良くなっている。

【0018】ここで、後で本発明の説明の都合上、図11に示される、従来のパストランジスタ論理回路の1例について説明する。

【0019】この図11では、いずれもパストランジスタである、2つのNチャンネルMOSトランジスタM1iA及びM1iBによって2つの信号を入力し、PチャンネルMOSトランジスタ及びNチャンネルMOSトランジスタで構成されるインバータI2iを経て信号を出力するパストランジスタ論理回路が、合計n個示されている。これらのパストランジスタ論理回路は、いずれも、パストランジスタの出力信号、即ち、インバータI2iの入力信号をプルアップするための、PチャンネルMOSトランジスタMi及びインバータI1iで構成されるプルアップ回路を備えている。

【0020】例えば、この図11の最上段では、NチャンネルMOSトランジスタM11A及びM11Bのパストランジスタと、PチャンネルMOSトランジスタM1及び

50

*の全加算器を含め、CVSL、DSL、DPL、DCVSPG及びSRPLの論理回路による全加算器について、3 μ mルールの集積回路デバイスの場合と、0.4 μ mルールの集積回路デバイスの場合での、トランジスタ数(必要な素子数に相当)と、スピード(動作速度)と、消費電力と、P・D積と、E・D積との、性能比較は次の通りである。なお、P・D積、及びE・D積は、性能を評価するための指標であり、値が小さい程性能がよい。

【0015】

【表1】

インバータI11で構成されるプルアップ回路と、PチャンネルMOSトランジスタ及びNチャンネルMOSトランジスタで構成されるインバータI21でなる、1つのパストランジスタ論理回路が示されている。

【0021】ここで、この図11では、PチャンネルMOSトランジスタM0A及びNチャンネルMOSトランジスタM0Bで構成されるインバータは、上述したパストランジスタ論理回路の前段の論理回路の出力回路である。該出力回路の出力する信号は、上述したような合計n個のパストランジスタ論理回路のすべての、NチャンネルMOSトランジスタM1iBのパストランジスタへと入力されている。

【0022】ここで、この図11において、前述のようにプルアップ回路がパストランジスタ論理回路に備えられている理由について説明する。

【0023】この図11のパストランジスタ論理回路では、パストランジスタとして、NチャンネルMOSトランジスタM11A～M1nA及びM11B～M1nBが用いられている。まず、パストランジスタでの電圧降下を考えると、NチャンネルMOSトランジスタは、ゲートがVDDの電圧となってオン状態となると、ソース及びドレイン間がオン状態となる。しかしながら、このソース及びドレイン間には、必ず、スレッショルド電圧Vtnとほぼ等しい電圧差、あるいはそれ以上の電圧差が生じ

てしまう。このため、このようなNチャネルMOSトランジスタをパストランジスタとして用いる場合、“1”の電源電圧VDDとなった入力信号を入力しても、該パストランジスタの出力側は($VDD - V_{tn}$)程度、あるいはそれ以下までしか電圧が上昇しない。

【0024】このようにパストランジスタの出力の電圧が低下してしまうと、後段の論理回路において、いわゆる貫通電流が流れてしまう。

【0025】例えば、この図11の最上段のパストランジスタ論理回路において、パストランジスタのNチャネルMOSトランジスタM11A及びM11Bの出力側の“1”のHレベルが上述のように低下してしまうと、インバータI21のNチャネルMOSトランジスタがオンとなるものの、該インバータI21のPチャネルMOSトランジスタは完全にオフ状態とはならず、弱いオン状態となってしまう。すると、インバータI21のこれらPチャネルMOSトランジスタ及びNチャネルMOSトランジスタのソース及びドレインを経て、電源VDDからグランドGNDへの貫通電流が流れてしまう。このような貫通電流が流れてしまうと、不必要な消費電流が生じてしまうだけでなく、論理回路の温度上昇による信頼性の低下等の問題を生じてしまう。

【0026】このような貫通電流を防ぐため、PチャネルMOSトランジスタM1(Mi)及びインバータI11(I1i)でなるプルアップ回路が備えられている。このようなプルアップ回路を備えることで、パストランジスタのNチャネルMOSトランジスタM11A(M1iA)及びM11B(M1iB)の、スレッショルド電圧 V_{tn} に対応する電圧差に応じた、インバータI21(I2i)の入力信号のHレベルの低下を改善することができる。

【0027】

【発明が解決しようとする課題】しかしながら、例えば前述の図11のパストランジスタ論理回路の如くHレベルを改善するためにプルアップ回路を備えたり、あるいは、他のパストランジスタ論理回路においてLレベルを改善するためにプルダウン回路を備えると、信号の衝突によって、貫通電流が流れてしまうという問題がある。

【0028】例えば図11のパストランジスタ論理回路において、入力信号cがL状態で、入力信号(cバー)がH状態で、PチャネルMOSトランジスタM0A及びNチャネルMOSトランジスタM0BのインバータがH状態を出力している場合を考える。このような場合、プルアップ回路のPチャネルMOSトランジスタM1はオン状態となり、これによって、インバータI21の入力は電源VDDへとプルアップされる。

【0029】このような場合で、続いて、PチャネルMOSトランジスタM0A及びNチャネルMOSトランジスタM0Bのインバータの出力がL状態になる場合を考える。このような場合、該インバータは、プルアップ回

路によってプルアップされているインバータI21の入力を、今度はプルアップ回路のPチャネルMOSトランジスタM1の出力に対抗してグランドGNDへと引き下げなければならない。

【0030】従って、例えばこの図11のようなプルアップ回路を用いるものや、あるいはプルダウン回路を用いるものでは、前段の出力回路の負荷が増大してしまい、出力側の負荷をドライブするのに時間を要してしまったり、甚だしくは負荷に負けて信号が伝わらないという問題を生じてしまう。このような問題を解決するために、該インバータの出力の駆動能力を増大することも考えられるが、チップ面積の増大や消費電力増大等の問題を生じてしまう。

【0031】又、電源VDDの電圧が低い場合、図11のプルアップ回路のインバータI11及び出力のインバータI21が反転し難い、甚だしくは反転しないという問題が生じる。例えば、電源VDDが0.8Vで、該インバータI11及びI21の論理値判定閾値が0.5Vの場合、パストランジスタM11A又はM11Bの出力($VDD - V_{th}$)が0.4Vより上がらなければ、該インバータI11及びI21は反転せず、出力は常にH状態になってしまう。

【0032】次に、パストランジスタ論理回路における、論理の構成について考える。

【0033】パストランジスタ論理回路では、実現しようとする論理によっては、通常のCMOS論理回路等と比べて、必要とするトランジスタ等の素子数が増大してしまうという問題がある。例えば、2入力 NAND 論理回路や NOR 論理回路、又これらを用いた比較的簡単な積和演算、例えば、 $(a \cdot b + c \cdot d)$ といった、比較的プリミティブな論理を実現する場合では、比較的多くのトランジスタを必要としてしまい、入力から出力への信号のパス段数も多くなってしまう傾向があった。このようにトランジスタの数が増大してしまうと消費電力も増加してしまう。又、パス段数が多くなると、信号遅延時間が延長されてしまい、動作時間がかかってしまう。

【0034】このように従来のパストランジスタ論理回路では、実現しようとする論理によっては、通常のCMOS論理回路に比べて種々の問題が生じてしまう。特に、通常の出力に対して反転出力も有する両極を備えるパストランジスタ論理回路の場合は、このような問題が更に大きくなってしまう。

【0035】従来のパストランジスタ論理回路では、パストランジスタを複数、直列あるいは並列に接続することで、論理積演算や論理和演算の回路を構成している。従って、伝達する信号の衰弱を考えると、論理を構成するために可能な、直列あるいは並列にすることができるパストランジスタの数には限りが生じる。ここで、パストランジスタが1系統2段のパストランジスタ論理回路

では、扱える変数は最大7個で、3変数の論理積項が4項までしかできない。1系統3段のバストランジスタ論理回路では、扱える変数は最大15個にすることができ、4変数の論理積項が8項であり、変数による制約が強くなってしまい、このため所望の論理を構成することがより困難となってしまう。又、このように系統数や段数が増加されると、論理回路へ変数を入力する位置によって出力までの遅延時間が大幅に異なってしまい、このため論理回路の動作のタイミング検証が難しくなってしまうという問題が生じてしまう。このような遅延時間の問題を避けるためには、1系統1段とすることが好ましいが、しかしながらこの場合、2変数の論理積項が2項しかない論理回路しか実現することができない。

【0036】又、バストランジスタ論理回路では、バストランジスタを複数、直列あるいは並列に接続することで論理積演算や論理和演算を実現しているため、出力の信号が立上ったり、立下がったりする速度が低下してしまう恐れがある。このように立上がり／立下がり速度が低下してしまうと、後段の回路における“0”又は“1”を判定するスレッシュホールド電圧付近を信号電圧が横切る時間が延長されてしまい、後段の回路で貫通電流の流れる時間が延長されてしまったり、ノイズ耐性が低下してしまう。このような貫通電流やノイズ耐性の問題を低減するため、バストランジスタの出力側をPチャネルMOSトランジスタでプルアップしたり、NチャネルMOSトランジスタでプルダウンしたり、小さなインバータでプルアップ／プルダウンすることも考えられる。しかしながら、このようにプルアップやプルダウンを行うと、負荷容量が大きくなり、回路動作の遅延が増大されてしまったり、消費電力やチップ面積が増大されてしまうという問題がある。

【0037】本発明は、前記従来の問題点を解決するべくなされたもので、プルアップ回路を用いることなくHレベルを改善し、同時に、低電源電圧での動作を可能とし、前段の出力回路の負荷を軽減することで、動作速度向上や次段への信号未伝達防止やノイズ耐性向上を図り、又、バストランジスタのみで構成される論理回路の論理演算系統のトランジスタ段数をより抑えることで、動作速度を向上させながら、一方、比較的複雑な論理も実現可能とし、特に従来のバストランジスタのみで構成される論理回路では苦手な論理も、より容易に実現可能とし、又、従来からのCMOS論理回路で構成した場合に比べても、必要な素子数がより少なく演算速度もより高速な論理回路を実現することができ、バストランジスタ論理回路を提供することを目的とする。

【0038】

【課題を解決するための手段】本願の第1発明は、入力

回路を得るようにしたことを特徴とするバストランジスタ論理回路において、バストランジスタとして用いる2つのNチャネルMOSトランジスタと、該NチャネルMOSトランジスタより小さな、バストランジスタとして用いる2つのPチャネルMOSトランジスタとを備え、前記NチャネルMOSトランジスタの1つ及び前記PチャネルMOSトランジスタの1つがソース／ドレインで並列接続されて、第1単位バストランジスタを構成し、別の前記NチャネルMOSトランジスタ及び別の前記PチャネルMOSトランジスタがソース／ドレインで並列接続されて、第2単位バストランジスタを構成し、前記第1単位バストランジスタのソース／ドレインの一方には、入力信号Aが入力され、前記第2単位バストランジスタのソース／ドレインの一方には、入力信号Bが入力され、前記第1単位バストランジスタの他方のソース／ドレイン及び前記第2単位バストランジスタの他方のソース／ドレインが相互に接続されて、出力信号Uを出力し、同一信号で正論理又は負論理となる2つの入力信号P及びQ(=Pバー)について、前記第1単位バストランジスタのNチャネルMOSトランジスタのゲート及び前記第2単位バストランジスタのPチャネルMOSトランジスタのゲートには、入力信号Pが入力され、前記第1単位バストランジスタのPチャネルMOSトランジスタのゲート及び前記第2単位バストランジスタのNチャネルMOSトランジスタのゲートには、入力信号Qが入力され、このように接続された前記第1単位バストランジスタ及び前記第2単位バストランジスタで構成されたペアバストランジスタ回路を備えたことにより、前記課題を解決したものである。

【0039】又、本願の第2発明は、入力の論理値に応じて出力がオンオフするバストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行なう回路を構成し、所望の論理回路を得るようにしたことを特徴とするバストランジスタ論理回路において、NチャネルMOSトランジスタ、及び該NチャネルMOSトランジスタよりも小さなPチャネルMOSトランジスタがソース／ドレインで並列接続され、同一信号で正論理又は負論理となる2つの入力信号P及びQ(=Pバー)が、それぞれ、これらNチャネルMOSトランジスタ及びPチャネルMOSトランジスタのゲートに入力されて、これらNチャネルMOSトランジスタ及びPチャネルMOSトランジスタが同時にオンオフするようにされた単位バストランジスタを用い、1つ以上の入力の論理値に基づいた論理演算を、前記単位バストランジスタを直列あるいは並列に接続した論理回路を用いて行って、ある論理値を出力するまでの経路として定義される論理演算系統を複数形成し、これら論理演算系統から得られる、複数の出力をそれぞれ個別に入力する多入力CMOS論理回路を備えたことにより、前記課題を解決したものである。

【0040】又、前記パストランジスタ論理回路において、前記単位パストランジスタのPチャネルMOSトランジスタの大きさが、共に用いられるNチャネルMOSトランジスタの大きさの $(1/2) \sim (1/10)$ とされていることにより前記課題を解決すると共に、集積度の向上をも考慮したより最適な構成をも図ったものである。

【0041】以下、本発明の作用について簡単に説明する。

【0042】前記第1発明及び前記第2発明は、いずれも、パストランジスタ論理回路を対象としたものである。このパストランジスタ論理回路は、入力の論理値に応じて出力がオンオフするパストランジスタを、複数、直列あるいは並列に接続することで、論理積演算や論理和演算等を行なう回路を構成し、所望の論理回路を得るようにした回路である。

【0043】前記第1発明及び前記第2発明では、いずれも、このようなパストランジスタ論理回路の上述のようなパストランジスタとして、単に1つのNチャネルMOSトランジスタを用いるのではなく、あるいは、単に1つのPチャネルMOSトランジスタを用いるのではなく、NチャネルMOSトランジスタ、及び該NチャネルMOSトランジスタよりも小さなPチャネルMOSトランジスタを組み合わせて、単位パストランジスタとして用いている。

【0044】この単位パストランジスタでは、NチャネルMOSトランジスタ、及び該NチャネルMOSトランジスタよりも小さなPチャネルMOSトランジスタがソース/ドレインで並列接続されている。又、該単位パストランジスタでは、同一信号で正論理又は負論理となる2つの入力信号P及びQ(=Pバー)が、それぞれ、これらNチャネルMOSトランジスタ及びPチャネルMOSトランジスタのゲートに入力されて、これらNチャネルMOSトランジスタ及びPチャネルMOSトランジスタが同時にオンオフするようにされている。

【0045】このような単位パストランジスタでは、Hレベルを伝達する場合も、Lレベルを伝達する場合も、基本的にはNチャネルMOSトランジスタがドライブする。従って、まず、このような単位パストランジスタでは、Lレベルを伝達する際には、該LレベルをグランドGND(V_{ss})まで十分下げることができる。一方、Hレベルを伝達する場合にも、PチャネルMOSトランジスタが作動するため、該Hレベルが電源VDDまで十分上昇される。

【0046】ここで、図12の論理回路を1例として、前記第1発明及び前記第2発明における単位パストランジスタの作用について説明する。

【0047】この図12においては、NチャネルMOSトランジスタM1A及びPチャネルMOSトランジスタM1Bによって、1つの単位パストランジスタが形成さ

れている。従って、この図12では、NチャネルMOSトランジスタM1A \sim MnA及びM1C \sim MnCと、PチャネルMOSトランジスタM1B \sim MnB及びM1D \sim MnDとによって、合計 $(n \times 2)$ 個の単位パストランジスタが形成されている。又、これらの単位パストランジスタそれぞれの出力には、NチャネルMOSトランジスタM1及びM2又PチャネルMOSトランジスタM3及びM4で構成されるNAND論理ゲートが接続されている。

【0048】なお、NチャネルMOSトランジスタM1C \sim MnCとPチャネルMOSトランジスタM1D \sim MnDで構成されるいずれの単位パストランジスタの入力にも、NチャネルMOSトランジスタM0A及びM0B又PチャネルMOSトランジスタM0C及びM0Dで構成される前段のNAND論理ゲートの出力が入力されている。

【0049】ここで、この図12の論理回路においては、上述のように本発明が適用された単位パストランジスタが用いられているため、これら単位パストランジスタの出力側のNAND論理ゲートの入力において、Hレベルは十分上昇され、又Lレベルは十分引き下げられている。従って、この図12においては、単位パストランジスタの出力、即ち該単位パストランジスタの次段のNAND論理ゲートの入力、プルアップ回路を用いることも必要がなく、あるいはプルダウン回路を用いることも必要なくなっている。

【0050】従って、例えば図12のNチャネルMOSトランジスタM0A及びM0B又PチャネルMOSトランジスタM0C及びM0Dで構成される前段のNAND論理ゲートの出力の負荷は抑えられている。即ち、該NAND論理ゲートの出力は、前述の図11にあるような例えばn個のプルアップ回路の分負荷が増大してしまうことがないため、例えばNチャネルMOSトランジスタM0AやM0Bのトランジスタサイズをより小型化することができ、付随してPチャネルMOSトランジスタM0CやM0Dのトランジスタサイズをより小型化することが可能である。

【0051】なお、前記第1発明及び前記第2発明で用いられる単位パストランジスタにおいては、用いられるNチャネルMOSトランジスタの大きさに比べPチャネルMOSトランジスタの大きさが小さくされていることが特徴である。例えば、このような単位パストランジスタに用いられるPチャネルMOSトランジスタのトランジスタサイズは、共に用いられるNチャネルMOSトランジスタの $(1/2) \sim (1/10)$ 程度である。

【0052】通常、このような単位パストランジスタの出力は、次段のパストランジスタや単位パストランジスタあるいは論理ゲートに隣接して設けられている。又、単位パストランジスタに用いられるPチャネルMOSトランジスタは、共に用いられるNチャネルMOSトラン

ジスタの動作を若干補うことが主な目的である。従って、単位パストランジスタに用いられるPチャネルMOSトランジスタのトランジスタサイズがこのように小さくされていても、前述のようなHレベルの上昇の作用を十分得ることができる。

【0053】次に、前記第1発明の作用について簡単に説明する。

【0054】従来のパストランジスタ論理回路において、パストランジスタは、図13に示されるような形態で利用されることが比較的多い。前記第1発明では、この

【0055】この図13において、NチャネルMOSトランジスタM1及びM2の2つのパストランジスタが示される。これらのパストランジスタには、それぞれ異なる入力信号AあるいはBが入力され、一方、共通の出力信号Uを出力する。又、同一信号で正論理又は負論理となる2つの入力信号P及びQ(=Pバー)が、それぞれ、これらパストランジスタ1つずつのゲートに入力されている。ここで、この図13の1点鎖線内にあるこの

【0056】このような図13のペアパストランジスタ回路TAと同等の論理機能を有するよう、前述の単位パストランジスタを用いて構成すると、一例として図14の1点鎖線内に示されるような回路(以降、ペアパストランジスタ回路Tと称する)となる。ここで、この図14のNチャネルMOSトランジスタM1A及びPチャネルMOSトランジスタM1Bの単位パストランジスタは、図13のNチャネルMOSトランジスタM1に相当する。図14のNチャネルMOSトランジスタM2A及びPチャネルMOSトランジスタM2Bの単位パストランジスタは、図13のNチャネルMOSトランジスタM2に相当する。

【0057】本発明で用いる単位パストランジスタ、即ち、これに用いるNチャネルMOSトランジスタ及びPチャネルMOSトランジスタのオンオフを同時に行うために、同一信号で正論理又は負論理となる2つの入力信号P及びQを要する。ここで、利用頻度の高い図13に示されるようなペアパストランジスタ回路TAに着目し、このようなものに対して本発明の単位パストランジスタを用いれば、元々必要となっていた、同一信号で正論理又は負論理となる2つの入力信号P及びQを用いることができるだけでなく、回路構成を有機的に成すことができる。

【0058】従って、本第1発明によれば、単位パストランジスタを用いることで、プリアップ回路を利用せずともHレベルを改善することができる。又、このように出力側のHレベルやLレベルを改善しながらも、プリアップ回路やプルダウン回路が用いられていないため、図11を用いて前述したような前段の出力回路の負荷を軽

減することができる。従って、本発明によれば、パストランジスタ論理回路全体の小型化や、同一出力駆動能力での動作速度の向上を図ることができる。

【0059】なお、本発明は、これに限定されるものではないが、図14に示したペアパストランジスタ回路Tは、例えば図15のような集積回路パターンで半導体基板に作り込むことができる。この図15において、2点鎖線D1はNチャネルMOSトランジスタを作り込む拡散領域であり、2点鎖線D2はPチャネルMOSトランジスタを作り込む拡散領域である。又、1点鎖線G1及びG2は、いずれも、NチャネルMOSトランジスタやPチャネルMOSトランジスタのゲートとなる配線である。特に、図14に示したNチャネルMOSトランジスタM1A及びM2A又PチャネルMOSトランジスタM1B及びM2Bのそれぞれのゲートは、この図15において、同符号のM1A及びM2A又M1B及びM2Bで示される位置に形成される。又、これらの符号で示される位置が、図15と位置関係が対応付けて作図されている図16に示されるように、これらNチャネルMOSトランジスタM1A及びM2A又PチャネルMOSトランジスタM1B及びM2Bが作り込まれている位置と考えることができる。

【0060】ここで、これら図15及び図16において、符号L1~L8は、これらのNチャネルMOSトランジスタM1A及びM2A又PチャネルMOSトランジスタM1B及びM2Bを接続する配線である。又、符号A、B、P、Q及びUは、いずれも、図14に示される信号である。

【0061】これら図15及び図16に示される如く、本発明のペアパストランジスタ回路Tは、利用頻度が高いだけでなく、このように集積回路パターン化という点でも有利である。即ち、比較的単純な集積回路パターンで構成することができる。

【0062】なお、本発明においては、原理的には、単位パストランジスタはパスゲート(トランスファゲート)と類似している。しかしながら、本発明はあくまでNチャネルMOSトランジスタで構成するパストランジスタ論理回路を前提としている。従って、単位パストランジスタに用いるPチャネルMOSトランジスタは、出力のHレベルの上昇を補うことが目的であり、本発明においては該PチャネルMOSトランジスタの大きさが小さくされていることが特徴となっている。この点で、図17に示されるような、従来のパスゲートを用いたものと異なる。

【0063】なお、後述する図23以降の各図におけるペアパストランジスタ回路T1~T7は、いずれも、図14に示される構成となっており、少なくとも前記第1発明が適用されている。

【0064】以下、前記第2発明の作用について簡単に説明する。

【0065】ここで、1つ以上の入力の論理値に基づいた論理演算を、パストランジスタを直列あるいは並列に接続した論理回路を用いて行なって、ある論理値を出力するまでの経路を論理演算系統と定義する。本発明においては、このような論理演算系統を複数形成すると共に、これら論理演算系統から得られる、複数の出力をそれぞれ個別に出力する多入力CMOS論理回路を備えるようにしている。この多入力CMOS論理回路を本発明は具体的に限定するものではないが、例えば、該多入力CMOS論理回路は多入力のNAND論理回路やNOR論理回路等を用いることができる。

【0066】このように、本発明では、より前段側にパストランジスタを主とした論理回路を備えると共に、この出力を後段の多入力CMOS論理回路で受けるというものである。即ち、本発明では、パストランジスタ論理回路とCMOS論理回路との複合的な構成の特徴を有している。

【0067】このような構成によれば、パストランジスタ論理回路でより有利に実現できる論理は前段側でパストランジスタを用いながら構成し、一方、多変数の多論理積項演算という、パストランジスタ論理回路では苦手な論理は後段の多入力CMOS論理回路で構成することができる。又、後段（最終段）にはこのような多入力CMOS論理回路が備えられているため、本発明のパストランジスタ論理回路より更に後段（多入力CMOS論理回路よりも更に後段）に対する信号の立ち上がり速度や立ち下がり速度が改善され、該信号の論理値判定閾値付近となる時間が短縮されるため、本発明の多入力CMOS論理回路における貫通電流をより低減することができる。

【0068】例えば、ここで（ $Z = a \cdot b + c \cdot d$ ）という論理演算を行う回路を考える。即ち、まず、入力信号aとbとの論理積、及び、入力信号cとdとの論理積の演算を行う。この後、これらの論理積の演算結果の論理和の演算を行い、出力信号Zを求めるというものである。

【0069】このような出力信号Zを求める論理演算は、通常のCMOS論理回路で構成すると、図18の通りとなる。この図18では、出力信号Zを求める演算を複合論理ゲートによって構成している。この複合論理ゲートは、図19のように表すことができる。

【0070】続いて、このような出力信号Zを求める論理演算をパストランジスタ論理回路にて実現した場合、図20に示すような論理回路や、図21に示すような論理回路となる。ここで、これら図20及び図21にはインバータI、I1、I2があるが、CMOS論理回路とした場合、これらはいずれもトランジスタ2個で構成することができる。

【0071】最後に、前述のような出力信号Z（ $= a \cdot b + c \cdot d$ ）を求めるための論理回路を本発明を適用し

て前述の単位パストランジスタを用いて構成した場合、例えば図22に示す通りとなる。この図22では、2つの論理演算系統が存在する。又、多入力CMOS論理回路として、PチャネルMOSトランジスタM5及びM6又NチャネルMOSトランジスタM7及びM8で構成される、2入力のNAND論理回路Gが用いられている。まず、第1の論理演算系統では、入力信号aとbとの論理積を演算する。第2の論理演算系統では、入力信号cとdとの論理積を演算する。又、NAND論理回路Gでは、これら2つの論理演算系統から得られる、2つの出力をそれぞれ個別に出力し、これら出力の論理積を演算する。ここで、NAND論理回路Gは、CMOS論理回路であり、合計4個のトランジスタで構成される。

【0072】以上説明したような出力信号Z（ $= a \cdot b + c \cdot d$ ）を演算する論理回路を一例として考えた場合、通常のCMOS論理回路ではMOSトランジスタを合計10個使い、従来のパストランジスタ論理回路ではMOSトランジスタを合計8個ないし10個用いるのに対し、図22の如く本発明を適用した場合にはMOSトランジスタは合計12個であり、トランジスタサイズの小さなPチャネルMOSトランジスタM1B、M2B、M3B及びM4Bを無視すれば、従来に比ベトランジスタ数が同数ないし減少されている。又、本発明を適用した図22の論理回路は、従来のパストランジスタ論理回路の図20のものとは比べてトランジスタ数が同じであるものの、入力信号a～dの入力部分から出力信号Zが得られるまでに信号が通過するトランジスタの段数が少ないため、この図20のものより高速に動作させることができる。

【0073】なお、図22の本発明を適用したパストランジスタ論理回路では、2系統1段のパストランジスタ論理回路部分と2入力NAND論理回路Gで構成されている。しかしながら、本発明はこのような構成に限定されるものではない。ここで、2系統2段のパストランジスタの論理回路部分に対して、多入力CMOS論理回路として2入力NAND論理回路を用いた場合、扱える変数は最大14個とすることもでき、3変数の論理積項が8項の論理積和演算を扱うことができるようになる。又、パストランジスタの論理回路部分を3系統ないしはそれ以上とした場合、多入力CMOS論理回路の入力数をこれに合わせて増加すればよく、論理回路の実現や動作速度の面で特に問題は生じず、更に多くの変数を扱うことができ、多変数の多論理積項に関する論理積和演算を扱うことができるようになる。

【0074】

【発明の実施の形態】以下、図を用いて本発明の実施の形態を詳細に説明する。

【0075】図23は、1段のパストランジスタ論理回路構成の論理演算系統を2系統有する、本発明が適用された第1実施形態のパストランジスタ論理回路の回路図

である。

【0076】図23において、まず、ペアパストランジスタ回路T1によって、第1の論理演算系統が構成されている。この第1の論理演算系統は、入力信号a～cに対して次式に示されるような論理演算を行い、出力信号Xを得る。

【0077】

$$X = a \cdot c + b \cdot (c \text{バー}) \quad \dots (1)$$

【0078】ここで、“ \cdot ”は論理積(AND)を示し、“+”は論理和(OR)を示す。又、“バー”は論理の否定を示す。以下同様である。

【0079】次に、第2の論理演算系統は、ペアパストランジスタ回路T2によって構成されている。該論理演算系統は、入力信号d～fに対して次式のような論理演算

$$Z = [(X \cdot Y) \text{バー}] = [(X \text{バー}) + (Y \text{バー})] \quad \dots (3)$$

【0083】従って、入力信号a～fに対して、本実施形態では次式に示されるような演算を行って、出力信号※

$$\begin{aligned} Z &= [(a \cdot c + b \cdot (c \text{バー})) \text{バー}] \\ &\quad + [(d \cdot f + e \cdot (f \text{バー})) \text{バー}] \\ &= (a \text{バー}) \cdot c + (b \text{バー}) \cdot (c \text{バー}) + (d \text{バー}) \cdot f \\ &\quad + (e \text{バー}) \cdot (f \text{バー}) \quad \dots (4) \end{aligned}$$

【0085】なお、出力信号を負論理、即ち(Zバー)とした場合、上記(4)式に対応し、前記(3)式へ前記(1)式及び前記(2)式を代入することで、次式を★

$$\begin{aligned} (Z \text{バー}) &= [a \cdot c + b \cdot (c \text{バー})] \cdot [d \cdot f + e \cdot (f \text{バー})] \\ &= a \cdot c \cdot d \cdot f + a \cdot c \cdot e \cdot (f \text{バー}) \\ &\quad + b \cdot (c \text{バー}) \cdot d \cdot f + b \cdot (c \text{バー}) \cdot e \cdot (f \text{バー}) \quad \dots (5) \end{aligned}$$

【0087】上記の(4)式及び(5)式の如く、本実施形態で扱える変数は、最大で6個、即ち入力信号a～fである。又、上記の(4)式の如く、正論理で扱うと2変数の論理積項が4項となる。又、上記の(5)式の如く、出力を負論理で扱うと、4変数の論理積項が4項となる。

【0088】図24は、1段のパストランジスタ論理回路構成の論理演算系統を3系統有する、本発明が適用されたパストランジスタ論理回路の第2実施形態の回路図である。

【0089】この図24の第2実施形態において、第1の論理演算系統は、ペアパストランジスタ回路T1によって構成されている。この第1の論理演算系統は、入力信号a～cに従って、次式に示されるような演算を行い、出力信号Wを生成する。

【0090】

$$W = a \cdot c + b \cdot (c \text{バー}) \quad \dots (6)$$

【0091】第2の論理演算系統は、ペアパストランジスタ回路T2により構成される。この第2の論理演算系統は、入力信号d～fに従って、次式に示されるような☆

$$\begin{aligned} Z &= [(W \cdot X \cdot Y) \text{バー}] \\ &= [(W \text{バー}) + (X \text{バー}) + (Y \text{バー})] \quad \dots (9) \end{aligned}$$

*算を行い、出力信号Yを得る。

【0080】

$$Y = d \cdot f + e \cdot (f \text{バー}) \quad \dots (2)$$

【0081】次に、この図23において、本発明が適用された多入力CMOS論理回路は2入力NAND論理回路となっている。該NAND論理回路は、NチャネルMOSトランジスタM7及びM8と、PチャネルMOSトランジスタM5及びM6とにより構成されている。該NAND論理回路は、前述した第1及び第2の論理演算系統が出力する出力信号X及びYを入力する。該NAND論理回路は、これらの信号X及びYに対して、次式に示されるようなNANDの論理演算を行い、出力信号Zを得る。

【0082】

※Zを得るものである。

【0084】

★得ることができる。

【0086】

☆演算を行い、出力信号Xを生成する。

30 【0092】

$$X = d \cdot f + e \cdot (f \text{バー}) \quad \dots (7)$$

【0093】第3の論理演算系統は、ペアパストランジスタ回路T3によって構成される。この第3の論理演算系統は、入力信号g～iに従って、次式に示されるような演算を行い、出力信号Yを生成する。

【0094】

$$Y = g \cdot i + h \cdot (i \text{バー}) \quad \dots (8)$$

【0095】次に、このような3系統の第1～第3の論理演算系統に対して備えられる、本発明の多入力CMOS論理回路が適用された3入力NAND論理回路は、NチャネルMOSトランジスタM10～M12と、PチャネルMOSトランジスタM7～M9によって構成される。この3入力NAND論理回路は、前述した第1～第3の論理演算系統それぞれが出力する信号W～Yに従って、次式に示される演算を行い、出力信号Zを生成する。

【0096】

40

【0097】ここで、本実施形態に入力される入力信号 $a \sim i$ に対する、出力信号 Z を生成するための論理演算、又この出力信号 Z を反転させた出力信号 (Z バー) を得るための論理演算は、次式に示す通り、上記 (9) *

$$\begin{aligned} Z &= \{ (W\text{バー}) + (X\text{バー}) + (Y\text{バー}) \} \\ &= \{ \{ a \cdot c + b \cdot (c\text{バー}) \} \text{バー} \} \\ &\quad + \{ \{ d \cdot f + e \cdot (f\text{バー}) \} \text{バー} \} \\ &\quad + \{ \{ g \cdot i + h \cdot (i\text{バー}) \} \text{バー} \} \\ &= (a\text{バー}) \cdot c + (b\text{バー}) \cdot (c\text{バー}) + (d\text{バー}) \cdot f \\ &\quad + (e\text{バー}) \cdot (f\text{バー}) + (g\text{バー}) \cdot i \\ &\quad + (h\text{バー}) \cdot (i\text{バー}) \quad \dots (10) \\ (Z\text{バー}) &= \{ (W \cdot X \cdot Y) \text{バー} \} \\ &= \{ \{ a \cdot c + b \cdot (c\text{バー}) \} \cdot \{ d \cdot f + e \cdot (f\text{バー}) \} \\ &\quad \cdot \{ g \cdot i + h \cdot (i\text{バー}) \} \} \text{バー} \\ &= a \cdot c \cdot d \cdot f \cdot g \cdot i + a \cdot c \cdot d \cdot f \cdot h \cdot (i\text{バー}) \\ &\quad + a \cdot c \cdot e \cdot (f\text{バー}) \cdot g \cdot i \\ &\quad + a \cdot c \cdot e \cdot (f\text{バー}) \cdot h \cdot (i\text{バー}) \\ &\quad + b \cdot (c\text{バー}) \cdot d \cdot f \cdot g \cdot i \\ &\quad + b \cdot (c\text{バー}) \cdot d \cdot f \cdot h \cdot (i\text{バー}) \\ &\quad + b \cdot (c\text{バー}) \cdot e \cdot (f\text{バー}) \cdot g \cdot i \\ &\quad + b \cdot (c\text{バー}) \cdot e \cdot (f\text{バー}) \cdot h \cdot (i\text{バー}) \\ &\quad \dots (11) \end{aligned}$$

【0099】上記の (10) 式及び (11) 式に示される如く、本実施形態で扱える変数は最大で9個であり、入力信号 $a \sim i$ である。又、(10) 式に示される如く、出力信号 Z として正論理で扱うとすると、2変数の論理積項が合計6項となる。一方、出力信号 (Z バー) として負論理で扱うとすれば、6変数の論理積項が合計8項となる。

【0100】図25は、2段のバストランジスタ論理回路構成の論理演算系統を2系統有する、本発明が適用された第3実施形態の回路図である。

※ 【0101】この図25の第3実施形態では、第1の論理演算系統はペアバストランジスタ回路T1～T3により構成されている。第1の論理演算系統では、ペアバストランジスタ回路T1で構成される第1の1段目と、ペアバストランジスタ回路T2で構成される第2の1段目に対して、ペアバストランジスタ回路T3で構成される2段目が接続されている。このような第1の論理演算系統では、入力信号 $a \sim g$ に従って、次式に示されるような論理演算を行い、出力信号 X を生成する。

※ 【0102】

$$\begin{aligned} X &= a \cdot c \cdot g + b \cdot (c\text{バー}) \cdot g + d \cdot f \cdot (g\text{バー}) \\ &\quad + e \cdot (f\text{バー}) \cdot (g\text{バー}) \quad \dots (12) \end{aligned}$$

【0103】次に、本実施形態における第2の論理演算系統は、ペアバストランジスタ回路T4～T6によって構成されている。特に、第1の論理演算系統と同様、この第2の論理演算系統についても、2段構成となっている。即ち、この第2の論理演算系統において、ペアバストランジスタ回路T4によって第1の1段目が構成さ

★40 【0104】

$$\begin{aligned} Y &= h \cdot j \cdot n + i \cdot (j\text{バー}) \cdot n + k \cdot m \cdot (n\text{バー}) \\ &\quad + l \cdot (m\text{バー}) \cdot (n\text{バー}) \quad \dots (13) \end{aligned}$$

【0105】又、本実施形態では、本発明の多入力CMOS論理回路に相当するものとして、2入力NAND論理回路を備えている。この2入力NAND論理回路は、NチャネルMOSトランジスタM15及びM16と、PチャネルMOSトランジスタM13及びM14とにより☆

☆構成されている。このような2入力のNAND論理回路は、入力する出力信号 X 及び Y に従って、次式に示される論理演算を行い、出力信号 Z を生成する。

【0106】

$$Z = \{ (X \cdot Y) \text{バー} \} = \{ (X\text{バー}) + (Y\text{バー}) \} \quad \dots (14)$$

【0107】ここで、本実施形態のバストランジスタ論理回路全体でなされる、出力信号 Z を生成するための論

理演算、又この出力信号 Z を反転させた出力信号 (Z バー) を求めるための論理演算は、上記の (14) 式へ前

述の(12)式及び(13)式を代入することによって *【0108】
求めることができ、次式の通りである。 *

$$\begin{aligned} Z = & (a\text{バー}) \cdot c \cdot g + (b\text{バー}) \cdot (c\text{バー}) \cdot g \\ & + (d\text{バー}) \cdot f \cdot (g\text{バー}) + (e\text{バー}) \cdot (f\text{バー}) \cdot (g\text{バー}) \\ & + (h\text{バー}) \cdot j \cdot n + (i\text{バー}) \cdot (j\text{バー}) \cdot n \\ & + (k\text{バー}) \cdot m \cdot (n\text{バー}) + (l\text{バー}) \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & \dots (15) \end{aligned}$$

$$\begin{aligned} (Z\text{バー}) = & a \cdot c \cdot g \cdot h \cdot j \cdot n + a \cdot c \cdot g \cdot i \cdot (j\text{バー}) \cdot n \\ & + a \cdot c \cdot g \cdot k \cdot m \cdot (n\text{バー}) \\ & + a \cdot c \cdot g \cdot l \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + b \cdot (c\text{バー}) \cdot g \cdot h \cdot j \cdot n \\ & + b \cdot (c\text{バー}) \cdot g \cdot i \cdot (j\text{バー}) \cdot n \\ & + b \cdot (c\text{バー}) \cdot g \cdot k \cdot m \cdot (n\text{バー}) \\ & + b \cdot (c\text{バー}) \cdot g \cdot l \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + d \cdot f \cdot (g\text{バー}) \cdot h \cdot j \cdot n \\ & + d \cdot f \cdot (g\text{バー}) \cdot i \cdot (j\text{バー}) \cdot n \\ & + d \cdot f \cdot (g\text{バー}) \cdot k \cdot m \cdot (n\text{バー}) \\ & + d \cdot f \cdot (g\text{バー}) \cdot l \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot h \cdot j \cdot n \\ & + e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot i \cdot (j\text{バー}) \cdot n \\ & + e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot k \cdot m \cdot (n\text{バー}) \\ & + e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot l \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & \dots (16) \end{aligned}$$

【0109】上記の(15)式及び(16)式に示される如く、本実施形態で扱える変数は、最大で14個であり、入力信号a～nに相当する。又、上記の(15)式の通り、出力信号Zとして正論理で扱うものとすれば、3変数の論理積項が合計8項となる。一方、上記の(16)式に示される通り、出力信号(Zバー)として負論理で扱うものとすれば、6変数の論理積項が合計16項となる。

【0110】図26は、1段のバストランジスタ論理回路構成の論理演算系統と2段のバストランジスタ論理回路構成の論理演算系統とを、都合2系統有する、本発明が適用された第4実施形態のバストランジスタ論理回路※

※の回路図である。

【0111】この図26の第4実施形態において、まず、第1の論理演算系統は、ペアバストランジスタ回路T1～T3によって構成されている。特に、この第1の論理演算系統は、2段構成であり、ペアバストランジスタ回路T1によって第1の1段目が構成され、ペアバストランジスタ回路T2によって第2の1段目が構成され、ペアバストランジスタ回路T3によって2段目が構成されている。このような第1の論理演算系統は、入力信号a～gに従って次式に示されるような論理演算を行い、出力信号Xを生成する。

【0112】

$$\begin{aligned} X = & a \cdot c \cdot g + b \cdot (c\text{バー}) \cdot g + d \cdot f \cdot (g\text{バー}) \\ & + e \cdot (f\text{バー}) \cdot (g\text{バー}) \dots (17) \end{aligned}$$

【0113】次に、本実施形態の第2の論理演算系統は、1段の構成であり、ペアバストランジスタ回路T4によって構成されている。この第2の論理演算系統は、40 入力信号h～jに従って、次式に示されるような論理演算を行い、出力信号Yを生成する。

【0114】

$$Y = h \cdot j + i \cdot (j\text{バー}) \dots (18)$$

【0115】次に、本実施形態において、本発明の多入★

$$Z = [(X \cdot Y)\text{バー}] = (X\text{バー}) + (Y\text{バー}) \dots (19)$$

【0117】従って、本実施形態のバストランジスタ論理回路全体でなされる出力信号Zを生成するための論理演算、又この出力信号Zを反転させた出力信号(Zバー)を生成するための論理演算は、上記の(19)式へ

★力CMOS論理回路に相当するものは、2入力NAND論理回路である。この2入力NAND論理回路は、NチャネルMOSトランジスタM9及びM10と、PチャネルMOSトランジスタM11及びM12とにより構成されている。この2入力NAND論理回路は、次式に示されるような論理演算を行い、出力信号Zを生成する。

【0116】

前述の(17)式及び(18)式を代入することによって得ることができ、次式の通りである。

【0118】

23

$$\begin{aligned}
 Z &= (a\text{バー}) \cdot c \cdot g + (b\text{バー}) \cdot (c\text{バー}) \cdot g \\
 &+ (d\text{バー}) \cdot f \cdot (g\text{バー}) + (e\text{バー}) \cdot (f\text{バー}) \cdot (g\text{バー}) \\
 &+ (h\text{バー}) \cdot j + (i\text{バー}) \cdot (j\text{バー}) \quad \dots (20) \\
 (Z\text{バー}) &= a \cdot c \cdot g \cdot h \cdot j + a \cdot c \cdot g \cdot i \cdot (j\text{バー}) \\
 &+ b \cdot (c\text{バー}) \cdot g \cdot h \cdot j \\
 &+ b \cdot (c\text{バー}) \cdot g \cdot i \cdot (j\text{バー}) \\
 &+ d \cdot f \cdot (g\text{バー}) \cdot h \cdot j \\
 &+ d \cdot f \cdot (g\text{バー}) \cdot i \cdot (j\text{バー}) \\
 &+ e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot h \cdot j \\
 &+ e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot i \cdot (j\text{バー}) \quad \dots (21)
 \end{aligned}$$

【0119】上記の(20)式及び(21)式に示される如く、本実施形態において扱える変数は、最大で10個であり、前述の入力信号a～jに相当する。又、上記の(20)式に示される如く、出力信号Zとして正論理で扱うとすれば、3変数の論理積項が4項と、2変数の論理積項が2項となる。又、上記の(21)式の如く出力信号(Zバー)として負論理で扱うとすれば、5変数の論理積項が合計8項となる。

【0120】図27及び図28は、3段のバストランジスタ論理回路構成の論理演算系統を2系統有する、本発明が適用された第5実施形態の回路図である。

【0121】まず、図27は、出力信号Xを出力する、*

$$\begin{aligned}
 X &= o \cdot g \cdot [a \cdot c + b \cdot (c\text{バー})] + o \cdot (g\text{バー}) \cdot [d \cdot f \\
 &+ e \cdot (f\text{バー})] + (o\text{バー}) \cdot n \cdot [h \cdot j + i \cdot (j\text{バー})] \\
 &+ (o\text{バー}) \cdot (n\text{バー}) \cdot [k \cdot m + l \cdot (m\text{バー})] \\
 &= a \cdot c \cdot g \cdot o + b \cdot (c\text{バー}) \cdot g \cdot o + d \cdot f \cdot (g\text{バー}) \cdot o \\
 &+ e \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot o + h \cdot j \cdot n \cdot (o\text{バー}) \\
 &+ i \cdot (j\text{バー}) \cdot n \cdot (o\text{バー}) + k \cdot m \cdot (n\text{バー}) \cdot (o\text{バー}) \\
 &+ l \cdot (m\text{バー}) \cdot (n\text{バー}) \cdot (o\text{バー}) \quad \dots (22)
 \end{aligned}$$

【0123】又、図28は、本発明の多入力CMOS論理回路に相当する、本実施形態で用いられる2入力NAND論理回路の回路図である。この2入力NAND論理回路では、実際のNAND論理演算は、NチャネルMOSトランジスタM1及びM2と、PチャネルMOSトラ※

$$Z = (X \cdot Y)\text{バー} = (X\text{バー}) + (Y\text{バー}) \quad \dots (23)$$

【0125】上記の(23)式に対して、前述の出力信号Xを生成する論理演算を示す前述の(22)式、又、出力信号Yを生成する論理演算を示す(22)式と同様な式(論理内容は同じで関係する信号内容が異なる)を代入することで、本実施形態のバストランジスタ論理回路全体でなされる論理演算を求めることができる。本実施形態全体でなされる論理演算において、扱える変数は最大で30個である。又、本実施形態において、出力信号Zとして出力を正論理で扱うとすれば、4変数の論理積項が16項となる。一方、本実施形態の出力を出力信号(Zバー)として負論理で扱うものとすれば、8変数の論理積項が64項となる。

【0126】ここで、図27又前述の(22)式から判るように、図27中でより右側で入力される入力信号(変数)ほど、出力信号Zに対する影響力が大きく、よ

24

*本実施形態の第1の論理演算系統の回路図である。あるいは、この図27は、出力信号Yを出力する、本実施形態の第2の論理演算系統の回路図でもある。この図27に示される如く、第1の論理演算系統も、又第2の論理演算系統も、3段構成のバストランジスタ論理回路となっており、次式に示されるような論理演算を行い、出力信号Xの生成を行う。なお、出力信号Yについても、論理の内容自体は下記の式のとおりである。この出力信号Yについては、下記の式において、入力信号の内容、又、出力信号が異なるだけである。

【0122】

30※ンジスタM3及びM4とによって行われる。この図28のNAND論理回路は、次式に示されるような論理演算を行う。

【0124】

り支配的となり、従って、任意の4変数で論理を組める訳ではない。従って、一部だけ4変数の場合、ほとんどのバストランジスタは無駄になってしまう恐れがある。又、入力を下位(例えばa)に入力した場合と、より上位(例えばo)に入力した場合とでは、パス段数及び負荷容量が大幅に異なるようになってしまい、動作タイミングが大きく変化し、この検証が難しくなってしまう。このように動作タイミングの検証が難しくなってしまうと、部分的な設計変更でも、動作タイミングの検証はほとんどやり直しとなってしまう。従って、このような場合、実用的とは言えない。

【0127】他にも、2段のバストランジスタ論理回路構成の論理演算系統を3系統構成するものや、1段のバストランジスタ論理回路構成の論理演算系統を4系統有するものとか、あるいはそれらを組み合わせた構成もあ

る。実用的なレベルでこのようなものを選択すればよい。

【0128】以下、図29～図49を用いながら、図41、図45及び図49にそれぞれ示される本発明が適用された第6実施形態～第8実施形態を参照しながら、同等の論理を構成した従来のパストランジスタ論理回路及びCMOS論理回路の、トランジスタ素子数や動作速度等について比較する。以下において、特に断りがない限り、正論理で話を進める。

【0129】パストランジスタ論理回路の原理は古くから開示されており、例えば、USP4541067 (Filed: May 10, 1982) に詳しく開示されている。

【0130】ここで、本発明が適用されるパストランジスタ論理回路に対して、従来のパストランジスタ論理回路及び通常のCMOS論理回路を比較する関係上、従来のパストランジスタ論理回路と通常のCMOS論理回路との比較を、■パストランジスタ論理回路1段での場合、■パストランジスタ論理回路2段での場合、■プリミティブな論理回路の場合、■負論理出力での場合について順に考える。

【0131】ここで、実用性を考慮すると、パストランジスタ論理回路に関して下記の制約条件A1及びA2を*

$$X = (A\text{バー}) \cdot c + (B\text{バー}) \cdot (c\text{バー}) \quad \dots (24)$$

【0137】ここで、この図29のパストランジスタ論理回路によって等価的に構成される論理回路と、これと同等のCMOS論理回路とを比較すると、下記の表の通りとなる。ここで、入力信号a～cの反転に必要なイン※

*加えることができる。

【0132】A1. パストランジスタ論理回路は多段接続できない。

A2. パストランジスタ論理回路の出力信号は、プルアップないしプルダウンする必要がある。

【0133】まず、従来のパストランジスタ論理回路1段での場合について、このようなパストランジスタ論理回路と、これと同等の論理演算を行う通常のCMOS論理回路との比較を行う。

【0134】上記のような制約条件A1及びA2に従った、パストランジスタ論理回路1段の最も単純なパストランジスタ論理回路は、例えば図29の通りとなる。

【0135】この図29の回路において、パストランジスタ論理回路部分はNチャネルMOSトランジスタM1及びM2によって構成され、この後段のインバータがNチャネルMOSトランジスタM3及びPチャネルMOSトランジスタM5によって構成されている。又、該インバータの出力する出力信号Xに従って動作する、プルアップに用いられるPチャネルMOSトランジスタM4を有している。このような図29の論理回路は、次式に示されるような論理演算を行う。

【0136】

※バータについて、トランジスタ数や段数は考慮しないものとする。

【0138】

【表3】

A	B	パストランジスタ 論理回路	CMOS論理回路		
			論理回路	バス 段数	トラン ジスタ 数
a	b	$X = (a\text{バー}) \cdot c + (b\text{バー}) \cdot (c\text{バー})$	図30 のとおり	3	10
(aバー)	a	$X = a \cdot c + (a\text{バー}) \cdot (c\text{バー}) = (a \infty c)\text{バー}$	図31 のとおり	3	10
a	(aバー)	$X = (a\text{バー}) \cdot c + a \cdot (c\text{バー}) = a \infty c$	図32 のとおり	3	10
a	(cバー) または 1	$X = (a\text{バー}) \cdot c = [a + (c\text{バー})]\text{バー}$	図33 のとおり	1 or 2	4
a	c または 0	$X = (a\text{バー}) \cdot c + (c\text{バー}) = (a\text{バー}) + (c\text{バー}) = (a \cdot c)\text{バー}$	図34 のとおり	1 or 2	4

【0139】上記の表3において、「A」及び「B」の欄には、図29に示される同符号の端子に入力される、入力信号名(a～c)が示される。「パストランジスタ論理回路」の欄では、端子A及びBに表中に記載される入力信号を入力した場合に得られる、論理演算を示す論

理式が示されている。この表の論理式において、便宜上、“ ∞ ”は排他論理和を示す。又、「CMOS論理回路」の欄では、「論理回路」と「バス段数」と「トランジスタ数」との3つの欄が示されている。まず、「論理回路」の欄は、該当するパストランジスタ論理回路と同

等のものをCMOS論理回路で構成した場合の、その論理回路図(図30～図34のいずれか)が示される。

又、「パス段数」の欄では、このようなCMOS論理回路とされた同等の論理回路の、信号伝達経路にあるトランジスタの段数が示される。電源VDDないしグランドGNDが信号としてトランジスタを通過するとみなす。又、「トランジスタ数」の欄では、CMOS論理回路で同等の論理回路を構成した場合の、必要とするトランジスタ数が示される。

【0140】上記の表3には無い他の組み合わせは、該表3のどれかに同等であるか、あるいは実用性上無意味(例えば変数1個の出力等)なものである。

【0141】ここで、パストランジスタ論理回路の信号パスとCMOS論理回路の信号パスとでは、デザインルール、デバイスパラメータ、トランジスタサイズ、レイアウトなどによってトランジスタの1段当たりの遅延時間が異なるが、ほぼ等しいと仮定する。すると、パストランジスタ論理回路がCMOS論理回路に比べて有利なのは、該表3の上側の3つのケースである。即ち、端子*

$$X = (a \text{ バー}) \cdot c + (b \text{ バー}) \cdot (c \text{ バー}) \quad \dots (25)$$

【0145】ここで、この図35の論理回路において、入力信号cが“H”に、入力信号(cバー)が“L”に固定されている場合を考える。このような場合には、図35中のNチャネルMOSトランジスタM1とPチャネルMOSトランジスタM2とはいずれもオン状態となり、NチャネルMOSトランジスタM3とPチャネルMOSトランジスタM4とはいずれもオフ状態となる。従って、このような場合のこの図35でなされる論理演算は、 $[X = (a \text{ バー})]$ となる。

【0146】次に、この図35において、入力信号cが“L”に、入力信号(cバー)が“H”に固定されている場合を考える。この場合には、NチャネルMOSトランジスタM1とPチャネルMOSトランジスタM2とがいずれもオフ状態となり、NチャネルMOSトランジスタM3とPチャネルMOSトランジスタM4とがいずれもオン状態となる。従って、このような場合のこの図35でなされる論理演算は、 $[X = (b \text{ バー})]$ となる。

【0147】結論的には、パストランジスタ論理回路1段で比較すると、必要となるトランジスタ数や遅延時間等の面で、CMOS論理回路の方が有利である。詳述しないが、動作速度、消費電力及びチップ面積だけを考慮した総合的なパフォーマンスを2入力NAND論理回路や、2入力NOR論理回路に限って比較すると、CMOS論理回路の方がパストランジスタ論理回路より約2倍ほど優れている。しかしながら、これは、単純な2入力NAND論理回路や、2入力NOR論理回路に限った場合であり、実際に用いられる回路では、このような単純な論理回路だけ用いられるということはない。従って、※

$$X = (a \text{ バー}) \cdot c \cdot g + (b \text{ バー}) \cdot (c \text{ バー}) \cdot g + (d \text{ バー}) \cdot f \cdot (g \text{ バー}) + (e \text{ バー}) \cdot (f \text{ バー}) \cdot (g \text{ バー})$$

*A及びBに対して、入力信号a及びb、あるいは、入力信号(aバー)及びa、あるいは、入力信号a及び(aバー)を入力するケースである。このようなケースは、トランジスタ数が2/5(ただしプルアップ用の小さなPチャネルMOSトランジスタを除く)になり、パス段数が2/3となるので、実用上かなり有利である。

【0142】しかしながら、上述の3つの場合とも、基本的にはセレクトであり、パスゲートを用いても図35に示すように実現することができる。この図35の場合でも、PチャネルMOSトランジスタM2及びM4とNチャネルMOSトランジスタM1及びM3との、対応する一対のソース及びドレインを並列に接続したもの(この様に對のものを、以降、トランスファゲートと称する)を用いているため、信号レベルも十分である。

【0143】ここで、この図35に示される論理回路において、入力信号a～cに従って、次式に示されるような論理演算を行い、出力信号Xが生成される。

【0144】

※実際の論理回路では、パストランジスタ論理回路を使う場合は、より多くのトランジスタや論理ゲートを詰め込むので、パストランジスタ論理回路の問題とはならない。

【0148】次に、本発明が適用されたパストランジスタ論理回路と、従来のパストランジスタ論理回路、及び通常のCMOS論理回路との比較を考慮する関係上、ここで、従来のパストランジスタ論理回路で2段のものと、これと同等の論理演算を行う通常のCMOS論理回路との比較を行う。

【0149】ここで、前述の制約条件A1及びA2を加えた場合の、従来のパストランジスタ論理回路2段の論理回路は、図36の通りとなる。

【0150】この図36において、パストランジスタ論理回路部分は、NチャネルMOSトランジスタM1～M6によって構成され、インバータ部分はNチャネルMOSトランジスタM7及びPチャネルMOSトランジスタM8によって構成され、更にプルアップ用にPチャネルMOSトランジスタM9が備えられている。この図36の論理回路は、パス段数は3段であり、用いられるトランジスタの数は8個(小さなプルアップ用のPチャネルMOSトランジスタM9を除く)である。又、拡散容量換算負荷数は12個である。ここで、拡散容量換算負荷数とは、信号がドライブするソース及びドレインの数であり、ゲートについては便宜上、ソースあるいはドレイン3個分とみなしている。又、この図36の論理回路でなされる論理演算は、次式に示す通りである。

【0151】

【0152】上記(26)式に示される論理演算を行う同等のCMOS論理回路は、図37に示す通りである。この図37の論理回路では、パス段数が4段であり、必要とするトランジスタ数が32個である。この論理回路の拡散容量換算負荷数は、12個である。

【0153】次に、前記(26)式の論理演算を行う、トランスファゲートを用いた論理回路は、図38の通りである。この図38において、パス段数は3段であり、必要となるトランジスタ数は14個である。又、拡散容量換算負荷数は18個である。

【0154】図36～図38を用いて前述したように、結論的には、パストランジスタ論理回路2段について比較すると、通常のCMOS論理回路及びトランスファゲートを用いた論理回路に対しても、パストランジスタ論理回路の方が有利である。詳述しないが、動作速度、消費電力、チップ面積だけを考慮した総合的なパフォーマンスをこれらの論理回路で比較すると、パストランジスタ論理回路の方が約3倍優れている。又、実用的な論理回路においても、パストランジスタ論理回路の優位性は明らかである。

【0155】次に、本発明が適用された第6及び第7実施形態を含め、これと同等の論理演算を行う従来のパストランジスタ論理回路及び一般的なCMOS論理回路の、プリミティブな論理回路における比較を行う。

【0156】前述したように、パストランジスタ論理回路1段やパストランジスタ論理回路2段で実現される論理回路と、これと同等の論理演算を行う通常のCMOS論理回路を比較した場合、実用的な論理回路ではパストランジスタ論理回路の方が有利であった。ここで、逆に、一般的なCMOS論理回路を中心として、プリミティブなセル、とりわけ複合論理ゲートと呼ばれる効率の良いCMOS論理回路と、従来からのパストランジスタ論理回路及び本発明が適用される第6及び第7実施形態のパストランジスタ論理回路の比較を行う。

【0157】次式に示される論理演算を行うCMOS論理回路は、複合論理ゲートとした場合、図39に示す通りとなる。この図39において、パス段数は3段であり、必要となるトランジスタ数は14個（ただし入力信号の反転に用いるものは除く）である。又、拡散容量換算負荷数は8個である。

【0158】

$$Z = a \cdot b + c \cdot d + e \cdot f \quad \dots (27)$$

【0159】次に、上述の(27)式の論理演算を行う、従来のパストランジスタ論理回路は、図40に示す*

$$Z = a \cdot b + c \cdot d + e \cdot f + (\overline{a}) \cdot g + (\overline{c}) \cdot h + (\overline{e}) \cdot i \quad \dots (28)$$

【0166】次に、プリミティブな論理演算の第2例について、次式に示される論理演算を行うCMOS論理回路は、図43に示される通りとなる。この図43は、複

*通りである。この図40の論理回路では、パス段数が8段であり、必要となるトランジスタ数は16個（ただし入力信号の反転に用いるものは除く）である。又、拡散容量換算負荷数は13個である。

【0160】前述の図39とこの図40を比較して明らかな通り、通常のCMOS論理回路では比較的簡単な多変数の多論理積項演算が、従来のパストランジスタ論理回路ではかなり複雑になってしまう。又、トランジスタ数はともかくとしても、図40のパストランジスタ論理回路の遅延時間は図39のCMOS論理回路の場合の約2.7倍になってしまう。

【0161】次に、前述した(27)式の論理演算を行う、本発明が適用された第6実施形態のパストランジスタ論理回路の論理回路は、図41及び図42に示すとおりである。

【0162】この実施形態では、1段のパストランジスタ論理回路構成の論理演算システムを3系統有している。又、これら3系統の論理演算システムそれぞれの出力は、本発明の多入力CMOS論理回路に相当する3入力のゼロOR論理回路(NAND論理回路)Gに入力されている。ここで、このゼロOR論理回路Gは、図42に示される通り、NチャネルMOSトランジスタM1～M3と、PチャネルMOSトランジスタM4～M6で構成される3入力NAND論理回路とされている。

【0163】ここで、この図41及び図42で示される本実施形態では、パス段数が2段あるいは4段であり、必要とするトランジスタ数は13個である。ただし、入力信号の反転に用いるものは除き、ペアパストランジスタ回路の単位パストランジスタのPチャネルMOSトランジスタはNチャネルMOSトランジスタの1/5として計算する。又、拡散容量換算負荷数は10個である。

【0164】前述の(27)式を前提とし、本実施形態と前述の図39の通常のCMOS論理回路で構成したものとの比較した場合、トランジスタ数や動作速度等に基づいた総合的なパフォーマンスは、ほぼ同等である。しかしながら、図39のCMOS論理回路では、前述の(27)式の論理演算の実現だけが前提となっている。これに対し、本実施形態では、次式に示されるように、 $[(\overline{a}) \cdot g + (\overline{c}) \cdot h + (\overline{e}) \cdot i]$ の論理積項3項の追加が可能である。又、本実施形態は、従来のパストランジスタ論理回路に比べて、総合的なパフォーマンスは約4倍となる。

【0165】

合論理ゲートを利用した一般的なCMOS論理回路で実現されている。又、この図43の論理回路は、パス段数が4段であり、必要とするトランジスタ数が24個(入

力信号の反転に用いるものは除く)である。又、拡散容量換算負荷数は8個である。

*

$$Z = a + b \cdot c + d \cdot e \cdot f + (d \text{バー}) \cdot g \cdot h \quad \dots (29)$$

【0168】次に、上述した(29)式の論理演算を行う、従来のパストラジスタ論理回路は、例えば図44に示す通りである。この図44の論理回路では、パス段数が8段であり、必要とするトランジスタ数は18個(ただし入力信号の反転に用いるものは除く)である。又、拡散容量換算負荷数は13個である。従って、この図44のパストラジスタ論理回路では、前述の図43のCMOS論理回路のものに比べ、トランジスタ数が3/4になるものの、遅延時間は約2倍になってしまう。

【0169】次に、本発明が適用された第7実施形態の、前述の(29)式の論理演算を行うパストラジスタ論理回路は図45及び図46に示す通りである。ここで、この図45に示されるゼロOR論理回路は、図46に示されるとおりであり、この図46において示される如くNチャネルMOSトランジスタM1及びM2とPチャネルMOSトランジスタM3及びM4で構成される2入力NAND論理回路を有している。このような図45及び図46に示される本実施形態では、パス段数が3段※

$$\begin{aligned} Z = & a + b \cdot c + d \cdot e \cdot f + (d \text{バー}) \cdot g \cdot h \\ & + (a \text{バー}) \cdot (b \text{バー}) \cdot i + d \cdot (e \text{バー}) \cdot j \\ & + (d \text{バー}) \cdot (g \text{バー}) \cdot k \quad \dots (30) \end{aligned}$$

【0172】以上、図39～図46を用いてプリミティブな論理回路について説明したが、結論として、複合論理ゲートを利用したCMOS論理回路を、従来のパストラジスタ論理回路に置き換えた場合不利になることがあったが、本発明を適用した場合ではこのようなCMOS論理回路とほぼ同等のパフォーマンスを得ることができる。又、本発明が適用されたパストラジスタ論理回路は、従来のパストラジスタ論理回路と比較して、総合的なパフォーマンスが2.6～4倍にもなる。

【0173】これは、従来のパストラジスタ論理回路が、多変数の論理積にはCMOS論理回路より有利であるにもかかわらず、異なる変数の多論理積項には適さないためである。一方、本発明を適用したパストラジスタ論理回路では、多系統のパストラジスタ論理回路の出力を、多入力CMOS論理回路、例えば多入力NAND論理回路や多入力NOR論理回路へ入力する様に構成することによって、多変数の多論理積項に柔軟に対応することができる。

★

$$\begin{aligned} (Z \text{バー}) = & a \cdot b \cdot c \cdot d \cdot e \cdot f + a \cdot b \cdot (d \text{バー}) \cdot e \cdot f \cdot h \\ & + (b \text{バー}) \cdot c \cdot d \cdot e \cdot f \cdot g \\ & + (b \text{バー}) \cdot (d \text{バー}) \cdot e \cdot f \cdot g \cdot h \quad \dots (31) \end{aligned}$$

【0178】次に、上述の(31)式の論理演算を行う、パス段数2段までという制約条件で構成された従来のパストラジスタ論理回路は、図48に示す通りである。ここで、この図48の論理回路において、パス段数は8段であり、必要とするトランジスタ数は合計48個

*【0167】

※あるいは4段であり、必要とするトランジスタ数は16個である。ただし、入力信号の反転に用いるものは除き、ペアパストラジスタ回路の単位パストラジスタのPチャネルMOSトランジスタはNチャネルMOSトランジスタの1/5として計算する。又、拡散容量換算負荷数は13個である。

10 【0170】本実施形態については、同様の論理演算を行う図43のCMOS論理回路と比較して、総合的なパフォーマンスはほぼ同じであるが、トランジスタ数は3割減少されている点が注目値する。更に、本実施形態の2系統のパストラジスタ論理回路2段では、この図45の回路のままでも、論理積項の追加が3項まで可能である。即ち、本実施形態では、次式に示されるような論理演算をも行うことが可能である。又、図44の従来のパストラジスタ論理回路に比べて、総合的なパフォーマンスは約2.6倍である。

20 【0171】

★【0174】次に、負論理出力での論理回路について、通常のCMOS論理回路、従来のパストラジスタ論理回路及び本発明が適用された第8実施形態のパストラジスタ論理回路の比較を行う。

30 【0175】本発明においては、例えば2系統のパストラジスタ論理回路2段の出力を負論理で扱うとすれば、6変数の論理積項を16項設けることができる。このように、本発明は、多変数の多論理積項演算を実現する上で有利であることは明らかである。

【0176】例えば、図47に示される、複合論理ゲートを利用したCMOS論理回路は、次式に示されるような論理演算を行う。ここで、この図47のCMOS論理回路では、パス段数が5段あるいは6段であり、必要とするトランジスタ数は44個(入力信号の反転に用いるものは除く)である。又、拡散容量換算負荷数は8個である。

40 【0177】

(入力信号の反転に用いるものは除く)である。又、拡散容量換算負荷数は12個である。従って、この図48の従来のパストラジスタ論理回路では、動作速度、消費電力及びチップ面積のいずれを取っても、前述した図47のCMOS論理回路のものより劣る。この従来のパ

50

ストランジスタ論理回路の総合的なパフォーマンスは、CMOS論理回路の場合の約1/2である。

【0179】ここで、前述した同様の(31)式の論理演算を行う、本発明が適用された第8実施形態の論理回路は、図49に示す通りである。ここで、図49の3入力NAND論理回路は、具体的には前述した図42の通りである。この図49の論理回路では、パス段数は2段あるいは4段であり、必要とするトランジスタ数は13個である。ただし、入力信号の反転に用いるものは除き、ペアパストランジスタ回路の単位パストランジスタのPチャネルMOSトランジスタは(NチャネルMOSトランジスタの1/5)とする。又、拡散容量換算負荷数は、10個である。

【0180】このように、この図49に示される本発明の実施形態では、動作速度、消費電力及びチップ面積のいずれを取っても、前述した図47のCMOS論理回路より優れている。とりわけ、本実施形態では、CMOS論理回路に比べて、トランジスタ数は約1/3となる。又、本実施形態の総合的なパフォーマンスは、CMOS論理回路の約5倍であり、従来のパストランジスタ論理回路の約1.2倍優れている。

【0181】図50～図53は、本発明が適用された第*

$$X = a \cdot c \cdot g + b \cdot (c\text{バー}) \cdot g + d \cdot f \cdot (g\text{バー}) + e \cdot (f\text{バー}) \cdot (g\text{バー}) \quad \dots (32)$$

$$Y = h \cdot j \cdot n + i \cdot (j\text{バー}) \cdot n + k \cdot m \cdot (n\text{バー}) + l \cdot (m\text{バー}) \cdot (n\text{バー}) \quad \dots (33)$$

$$(Z\text{バー}) = X + Y \quad \dots (34)$$

$$Z = ((X + Y)\text{バー}) = (X\text{バー}) \cdot (Y\text{バー}) \quad \dots (35)$$

【0185】ここで、これらの数式において、(34) ※2)式及び(33)式を代入すると、次の(37)式を式へ(32)式及び(33)式を代入すると、次の(3 30 得ることができる。

6)式を得ることができる。又、(35)式へ、(3 ※ 【0186】

$$(Z\text{バー}) = a \cdot c \cdot g + b \cdot (c\text{バー}) \cdot g + d \cdot f \cdot (g\text{バー}) + e \cdot (f\text{バー}) \cdot (g\text{バー}) + h \cdot j \cdot n + i \cdot (j\text{バー}) \cdot n + k \cdot m \cdot (n\text{バー}) + l \cdot (m\text{バー}) \cdot (n\text{バー}) \quad \dots (36)$$

$$\begin{aligned} Z = & (a\text{バー}) \cdot c \cdot g \cdot (h\text{バー}) \cdot j \cdot n \\ & + (a\text{バー}) \cdot c \cdot g \cdot (i\text{バー}) \cdot (j\text{バー}) \cdot n \\ & + (a\text{バー}) \cdot c \cdot g \cdot (k\text{バー}) \cdot m \cdot (n\text{バー}) \\ & + (a\text{バー}) \cdot c \cdot g \cdot (l\text{バー}) \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + (b\text{バー}) \cdot (c\text{バー}) \cdot g \cdot (h\text{バー}) \cdot j \cdot n \\ & + (b\text{バー}) \cdot (c\text{バー}) \cdot g \cdot (i\text{バー}) \cdot (j\text{バー}) \cdot n \\ & + (b\text{バー}) \cdot (c\text{バー}) \cdot g \cdot (k\text{バー}) \cdot m \cdot (n\text{バー}) \\ & + (b\text{バー}) \cdot (c\text{バー}) \cdot g \cdot (l\text{バー}) \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + (d\text{バー}) \cdot f \cdot (g\text{バー}) \cdot (h\text{バー}) \cdot j \cdot n \\ & + (d\text{バー}) \cdot f \cdot (g\text{バー}) \cdot (i\text{バー}) \cdot (j\text{バー}) \cdot n \\ & + (d\text{バー}) \cdot f \cdot (g\text{バー}) \cdot (k\text{バー}) \cdot m \cdot (n\text{バー}) \\ & + (d\text{バー}) \cdot f \cdot (g\text{バー}) \cdot (l\text{バー}) \cdot (m\text{バー}) \cdot (n\text{バー}) \\ & + (e\text{バー}) \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot (h\text{バー}) \cdot j \cdot n \\ & + (e\text{バー}) \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot (i\text{バー}) \cdot (j\text{バー}) \cdot n \\ & + (e\text{バー}) \cdot (f\text{バー}) \cdot (g\text{バー}) \cdot (k\text{バー}) \cdot m \cdot (n\text{バー}) \end{aligned}$$

*9実施形態を示す論理回路図である。

【0182】特に、図50では、本実施形態の全体が示される。この図50に示される如く、本実施形態は論理回路部分H1及びH2と、NOR論理ゲートGとによって構成される。又、図51では論理回路部分H1が示され、図52では論理回路部分H2が示され、図53では本実施形態に用いられるNOR論理ゲートGが示される。

【0183】ここで、図51に示される如く論理回路部分H1は、2段のパストランジスタ論理回路構成の第1の論理演算系統を構成している。この論理回路部分H1では、次に示す(32)式に示される論理演算が行われる。又、図52に示される如く、論理回路部分H2では、2段のパストランジスタ論理回路構成の第2の論理演算系統が構成され、次に示す(33)式の論理演算が行われる。更に、本実施形態の2入力NOR論理ゲートGでは、図53に示されるような回路によって、次の(34)式及び(35)式に示されるように、論理回路部分H1の第1論理演算系統の出力信号Xと、論理回路部分H2の第2論理演算系統の出力信号Yとの演算を行い、出力信号Zを得る。

【0184】

$$+ (e \text{ バー}) \cdot (f \text{ バー}) \cdot (g \text{ バー}) \cdot (l \text{ バー}) \cdot (m \text{ バー}) \\ \cdot (n \text{ バー}) \quad \dots (37)$$

【0187】上記(36)式の如く負論理で扱っても、あるいは、上記の(37)式の如く正論理で扱っても、本実施形態で取扱うことのできる変数、即ち入力信号の数は14個であり、 $a \sim n$ が対象となっている。又、

(36)式の如く負論理で扱うと、3変数の積項が、最大8項となる。一方、(37)式の如く正論理で扱うと、6変数の積項が、最大16項となる。

【0188】ここで、図54では、本発明が適用された単位パストランジスタの2段の出力を、NAND論理ゲートに入力する1例の回路が示される。一方、図55では、同じく本発明が適用される単位パストランジスタの2段の出力を、NOR論理ゲートへ入力する1例の回路が示される。これらNAND論理ゲートに入力する場合と、NOR論理ゲートへ入力する場合とを比べると、H状態の信号を伝達する場合には、同一トランジスタサイズで一般的にはNチャネルMOSトランジスタに比べてドライブ能力の低いPチャネルMOSトランジスタを直列接続に使う、NOR論理ゲートの方が不利となる。

【0189】なお、以上の説明においては、パストランジスタとして特にNチャネルMOSトランジスタを用いたパストランジスタ論理回路を中心として説明している。しかしながら、本発明はパストランジスタとしてNチャネルMOSトランジスタ以外のものを用いてもよく、例えば、N型JFET (junction field-effect transistor) も適用して用いることができ、あるいは将来開発される他の形態の素子(トランジスタ)をも適用して用いることも考えられる。

【0190】

【発明の効果】以上説明した通り、本発明によれば、プルアップ回路を用いることなくHレベルを改善し、同時に、低電源電圧での動作を可能とし、前段の出力回路の負荷を軽減することで、動作速度向上や次段への信号未伝達防止やノイズ耐性向上を図り、又、パストランジスタのみで構成される論理回路の論理演算系統のトランジスタ段数をより抑えることで、動作速度を向上させながら、比較的複雑な論理も実現可能とし、特に従来のパストランジスタのみで構成される論理回路では苦手な論理も、より容易に実現可能とし、又、従来からのCMOS論理回路で構成した場合に比べても、必要な素子数がより少なく演算速度もより高速な論理回路を実現することができるという優れた効果を得ることができる。

【0191】具体的には、本発明によれば、通常のCMOS論理回路に対する従来のパストランジスタ論理回路の利点を保ったまま、通常のCMOS論理回路が得意とするプリミティブな論理回路をも極めて効率的に実現することができる。又、より少ないトランジスタで、多変数の多論理積項演算を実現することができる。又、例え

ば、総合的なパフォーマンスを従来のパストランジスタ論理回路の約2.6~12倍、通常のCMOS論理回路の約1~5倍とすることができる。又、パストランジスタ論理回路の論理演算系統の出力電圧をフルスイングして、貫通電流を低減し、又、ノイズ耐性を向上することができる。

【図面の簡単な説明】

10 【図1】従来のパストランジスタ論理回路の1種であるCVSLの回路図

【図2】従来のパストランジスタ論理回路の1種であるCPLの回路図

【図3】従来のパストランジスタ論理回路の1種であるSRPLの回路図

【図4】従来のパストランジスタ論理回路の1種であるDSLの回路図

【図5】従来のパストランジスタ論理回路の1種であるDPLの回路図

20 【図6】従来のパストランジスタ論理回路の1種であるDCVSPGの回路図

【図7】従来のパストランジスタ論理回路の1種であるごく基本的なものの回路図

【図8】従来のパストランジスタ論理回路に用いられるインバータの回路図

【図9】従来のCMOSスタティック回路による全加算器の1例の回路図

【図10】従来のパストランジスタ論理回路による全加算器の1例の回路図

30 【図11】従来のプルアップ回路を用いるパストランジスタ回路の1例の回路図

【図12】本発明が適用されたペアパストランジスタ回路を用いるパストランジスタ論理回路の1例の回路図

【図13】従来のパストランジスタの利用の1形態の回路図

【図14】本発明の2つの単位パストランジスタを有効に構成したペアパストランジスタ回路の回路図

【図15】上記ペアパストランジスタ回路の集積回路パターンの1例を示す集積回路パターン図

40 【図16】上記集積回路パターンのトランジスタ配置を示すための線図

【図17】従来のパスゲートの回路図

【図18】従来の複合論理ゲートによるCMOS論理回路の1例の回路図

【図19】前記複合論理ゲートのCMOS論理回路の図記号を示す線図

【図20】従来のパストランジスタ論理回路の1例の回路図

50 【図21】従来のインバータを用いたパストランジスタ論理回路の回路図

【図22】本発明が適用されたパストランジスタ論理回路の1例(1段2系統)の回路図

【図23】本発明が適用された第1実施形態のパストランジスタ論理回路の回路図

【図24】本発明が適用された第2実施形態のパストランジスタ論理回路の回路図

【図25】本発明が適用された第3実施形態のパストランジスタ論理回路の回路図

【図26】本発明が適用された第4実施形態のパストランジスタ論理回路の回路図

【図27】本発明が適用された第5実施形態のパストランジスタ論理回路の回路図

【図28】前記第5実施形態に用いられる多入力CMOS論理回路(2入力NAND論理回路)の回路図

【図29】従来の1段1系統のパストランジスタ論理回路の回路図

【図30】前記1段1系統のパストランジスタ論理回路を置き換えた一般的なCMOS論理回路による第1例の回路図

【図31】前記1段1系統のパストランジスタ論理回路を置き換えた一般的なCMOS論理回路による第2例の回路図

【図32】1段1系統のパストランジスタ論理回路を置き換えた一般的なCMOS論理回路による第3例の回路図

【図33】1段1系統のパストランジスタ論理回路を置き換えた一般的なCMOS論理回路による第4例の回路図

【図34】1段1系統のパストランジスタ論理回路を置き換えた一般的なCMOS論理回路による第5例の回路図

【図35】パストランジスタとしてNチャネルMOSトランジスタとPチャネルMOSトランジスタを並列に用いたトランスファゲートの回路図

【図36】従来の2段1系統のパストランジスタ論理回路の回路図

【図37】前記2段1系統パストランジスタ論理回路と同等のCMOS論理回路の回路図

【図38】前記2段1系統パストランジスタ論理回路と同等の、パストランジスタとしてNチャネルMOSトランジスタとPチャネルMOSトランジスタを並列に用いたトランスファゲートの回路図

【図39】複合論理ゲートの一般的なCMOS論理回路の1例の回路図

【図40】上記複合論理ゲートCMOS論理回路と同等

の従来のパストランジスタ論理回路の回路図

【図41】上記複合論理ゲートCMOS論理回路と同等の本発明が適用された第6実施形態のパストランジスタ論理回路の回路図

【図42】上記第6実施形態に用いられる3入力NAND論理回路の回路図

【図43】複合論理ゲートのCMOS論理回路の1例の回路図

【図44】上記複合論理ゲートCMOS論理回路と同等の従来のパストランジスタ論理回路の1例の回路図

【図45】上記複合論理ゲートのCMOS論理回路と同等の、本発明が適用されたパストランジスタ論理回路の第7実施形態の回路図

【図46】前記第7実施形態に用いられる2入力NAND論理回路の回路図

【図47】複合論理ゲートCMOS論理回路の負論理出力のものの1例の回路図

【図48】上記複合論理ゲートCMOS論理回路と同等の従来のパストランジスタ論理回路の回路図

【図49】上記複合論理ゲートCMOS論理回路と同等の、本発明が適用された第8実施形態のパストランジスタ論理回路の回路図

【図50】本発明が適用される第9実施形態のパストランジスタ論理回路の全体回路図

【図51】前記第9実施形態の第1の論理回路部分の回路図

【図52】前記第9実施形態の第2の論理回路部分の回路図

【図53】前記第9実施形態のNOR論理ゲートの回路図

【図54】本発明が適用される第10実施形態のパストランジスタ論理回路の回路図

【図55】本発明が適用される第11実施形態のパストランジスタ論理回路の回路図

【符号の説明】

M1~M17、M21~M27、M31~M37、M41、M42、M0A、M0B、M0C、M0D、M1A~MnA、M1B~MnB、M1C~MnC、M1D~MnD…トランジスタ

T、T1~T6、TA…ペアパストランジスタ回路

I1~I5…インバータ

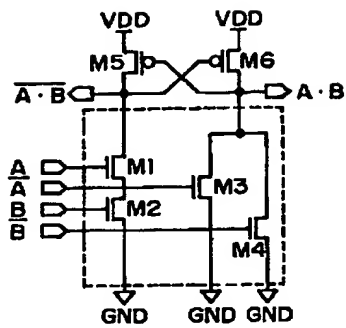
VDD…電源

GND…グランド

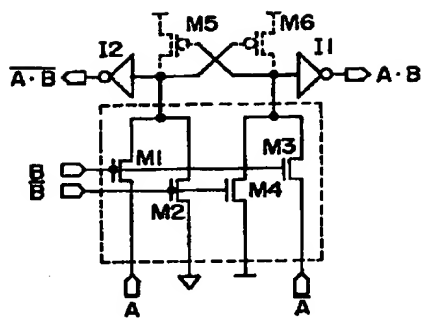
A~C、a~n…信号

X~Z…出力信号

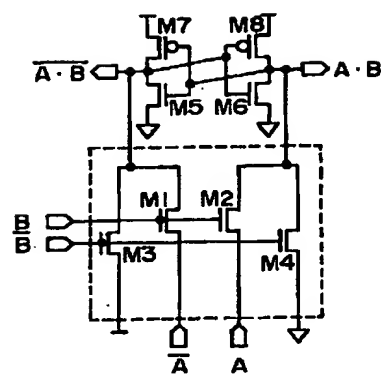
【図1】



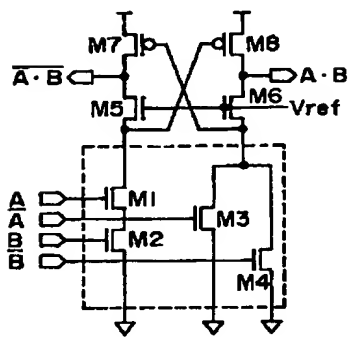
【図2】



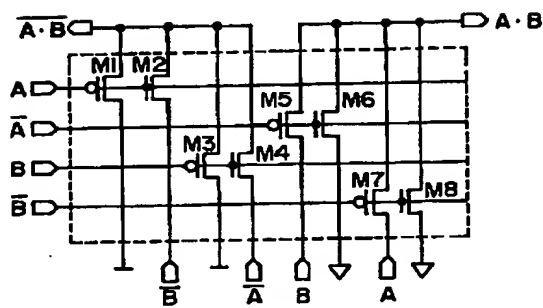
【図3】



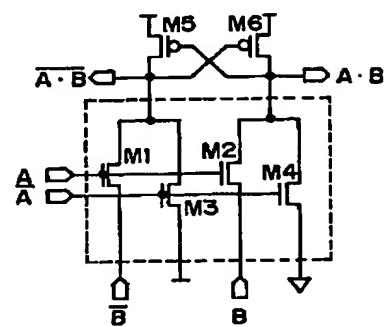
【図4】



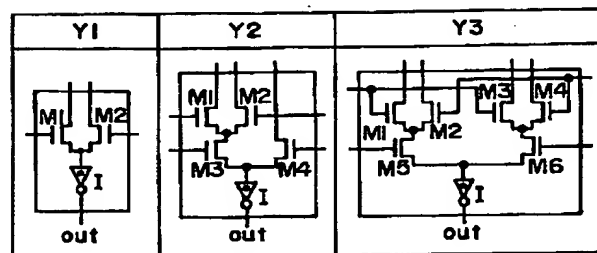
【図5】



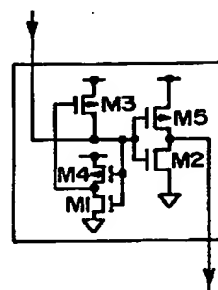
【図6】



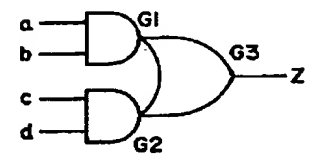
【図7】



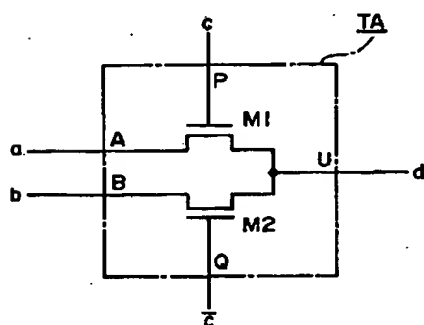
【図8】



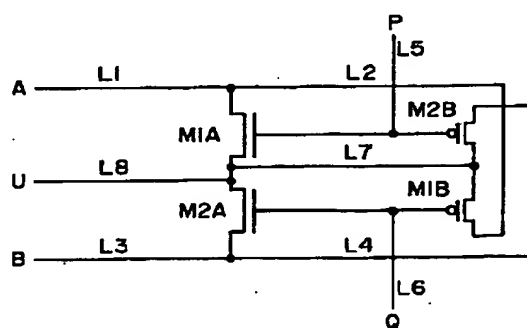
【図19】



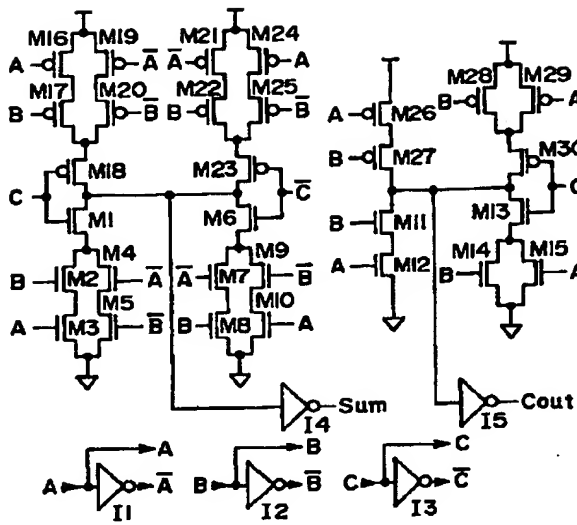
【図13】



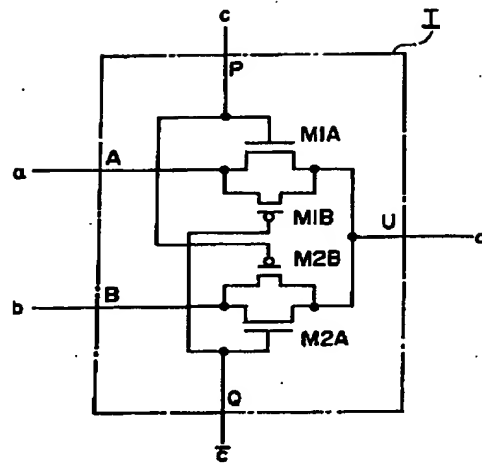
【図16】



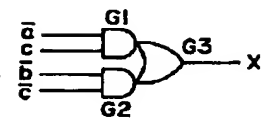
【図 9】



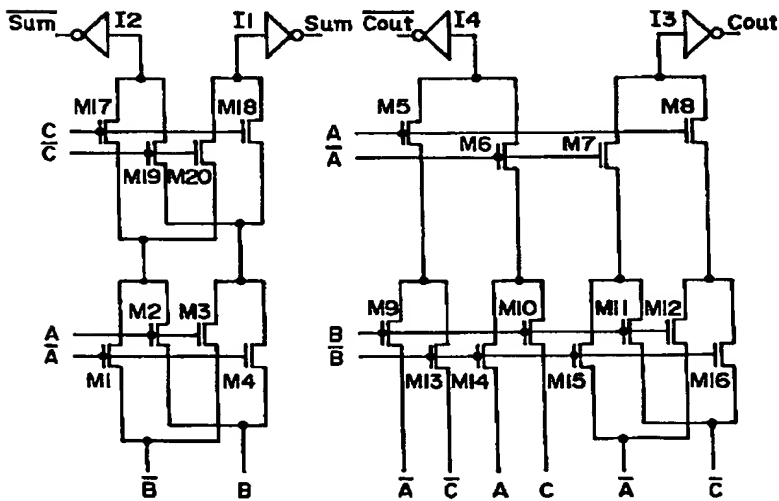
【図 14】



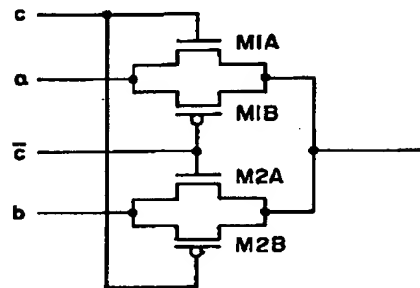
【図 30】



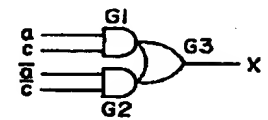
【図 10】



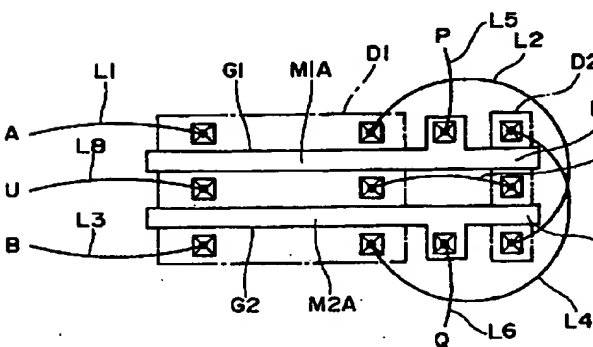
【図 17】



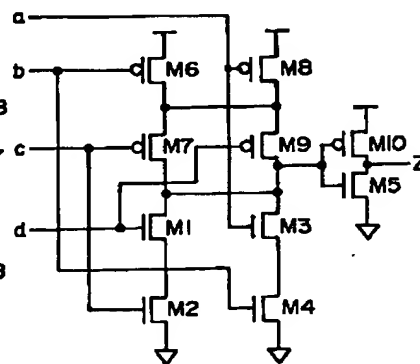
【図 31】



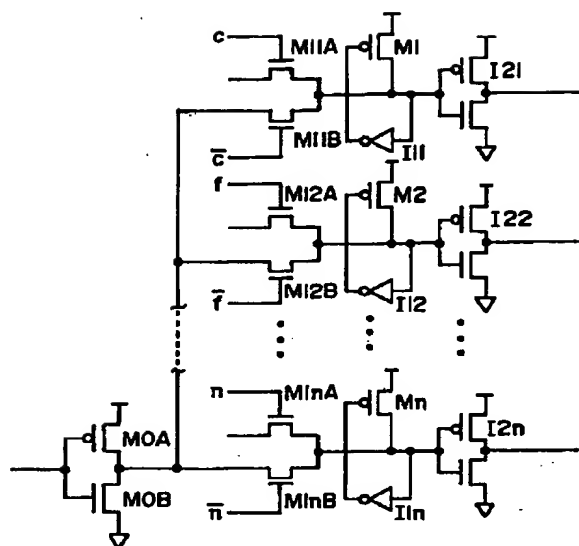
【図 15】



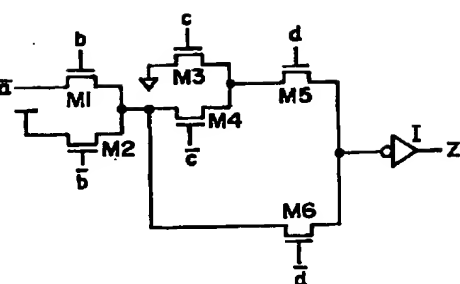
【図 18】



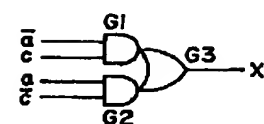
【図 1 1】



【図 2 0】



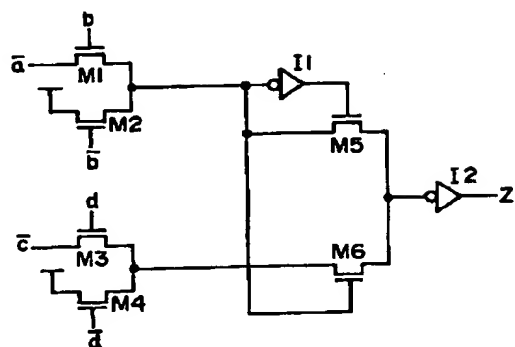
【図 3 2】



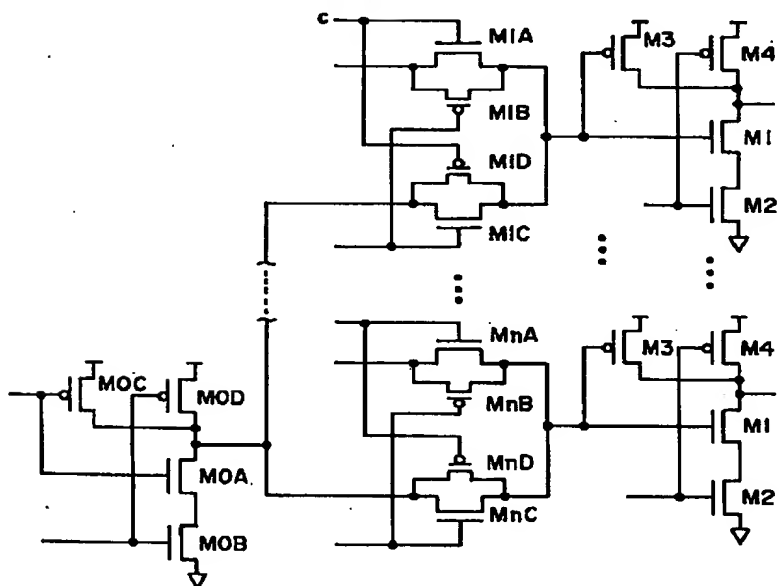
【図 3 3】



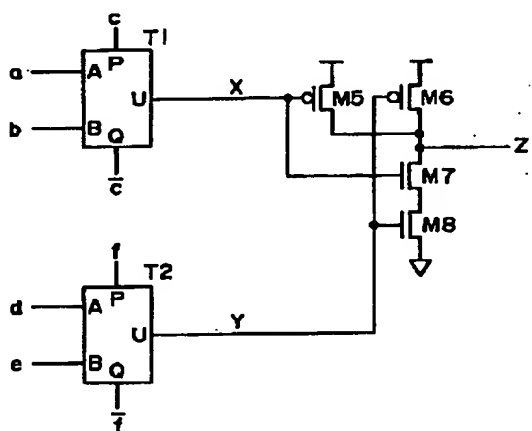
【図 2 1】



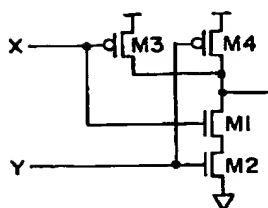
【図 1 2】



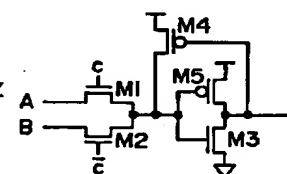
【図 2 3】



【図 2 8】



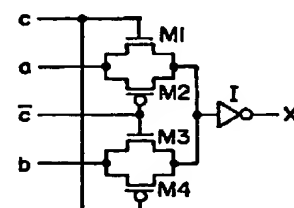
【図 2 9】



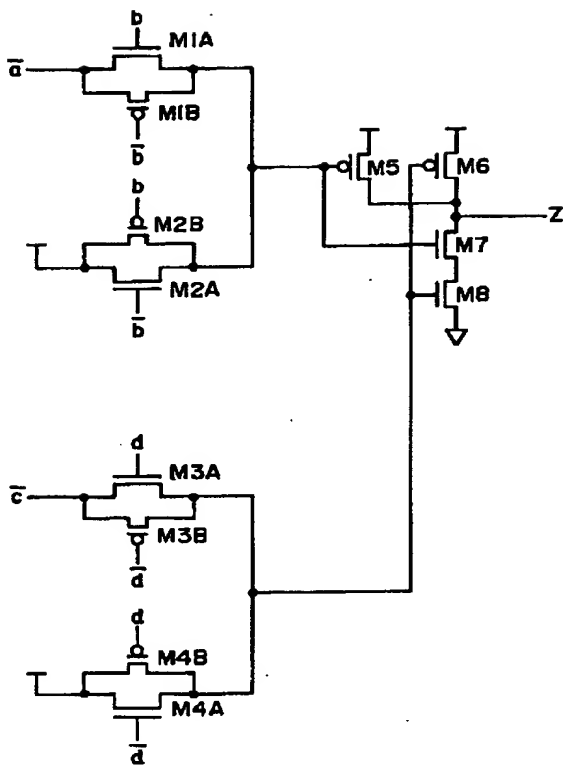
【図 3 4】



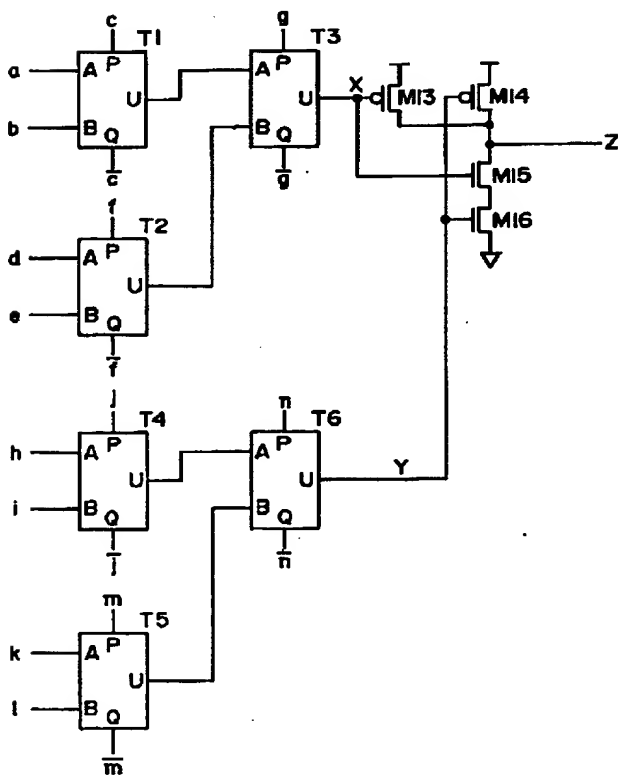
【図 3 5】



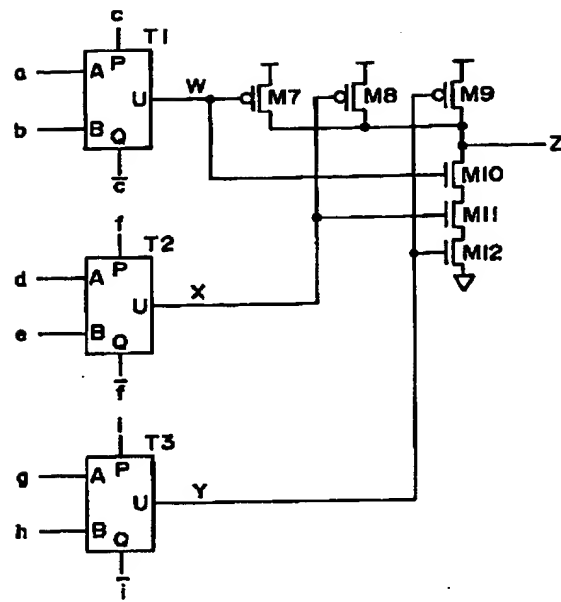
【図22】



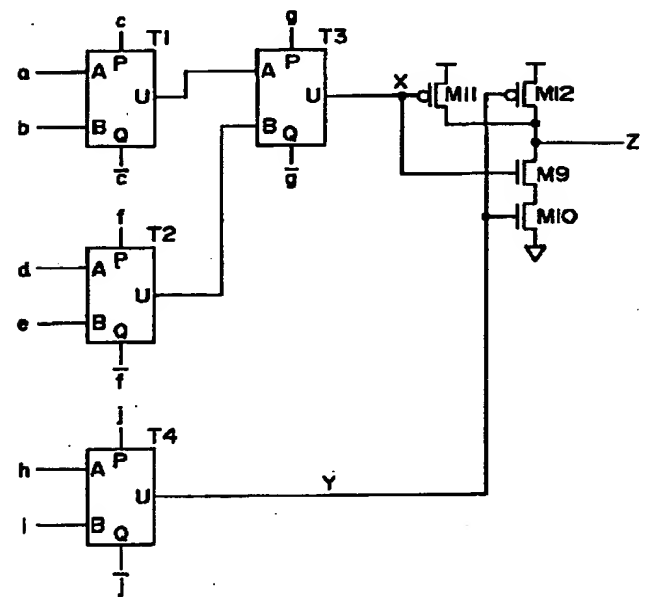
【図25】



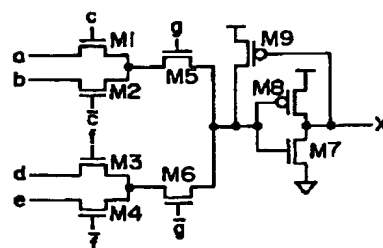
【図24】



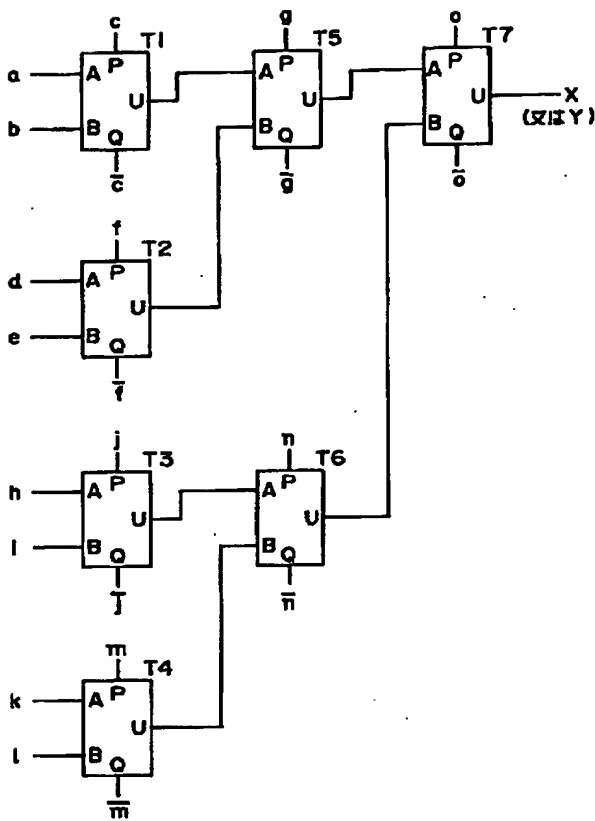
【図26】



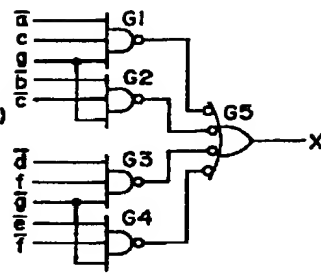
【図36】



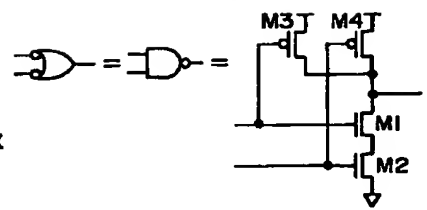
【図27】



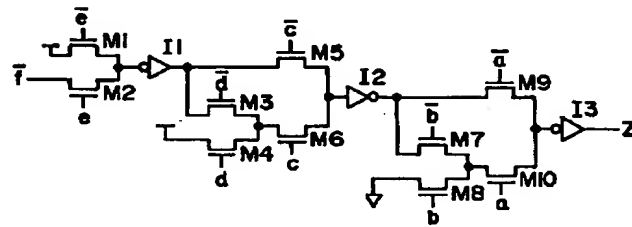
【図37】



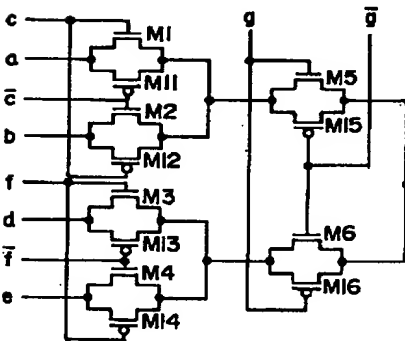
【図46】



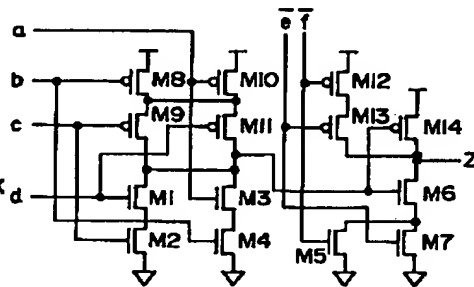
【図40】



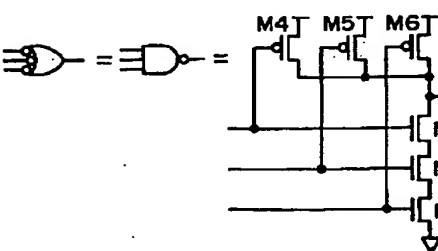
【図38】



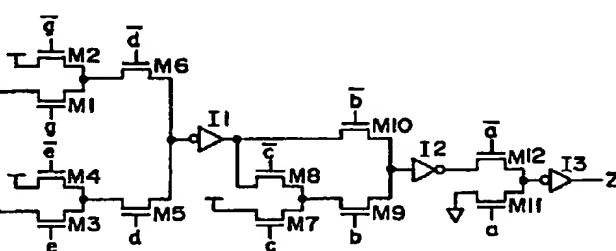
【図39】



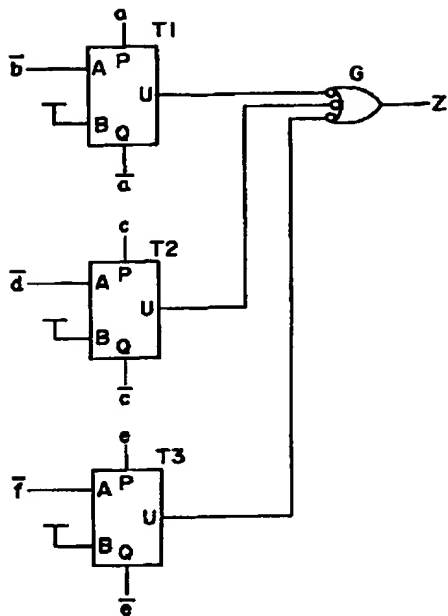
【図42】



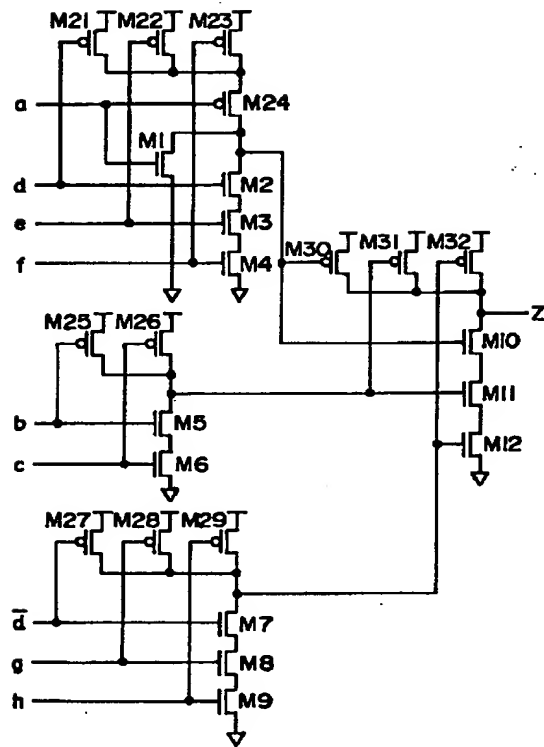
【図44】



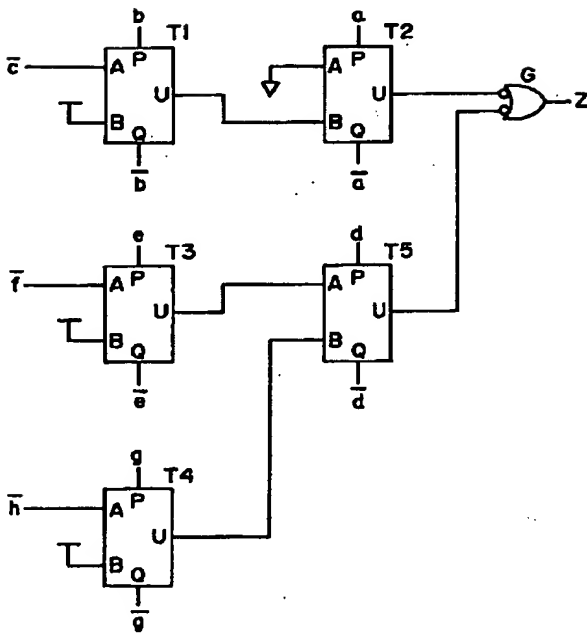
【図 4 1】



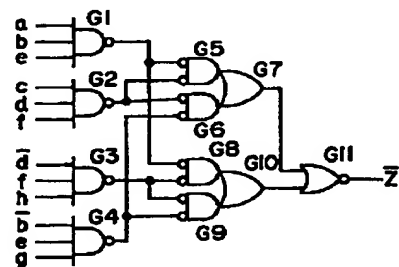
【図 4 3】



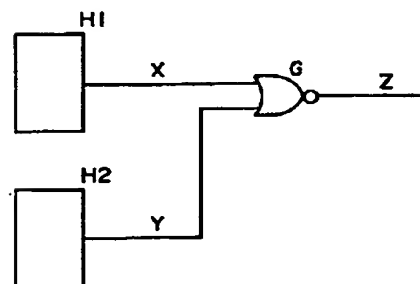
【図 4 5】



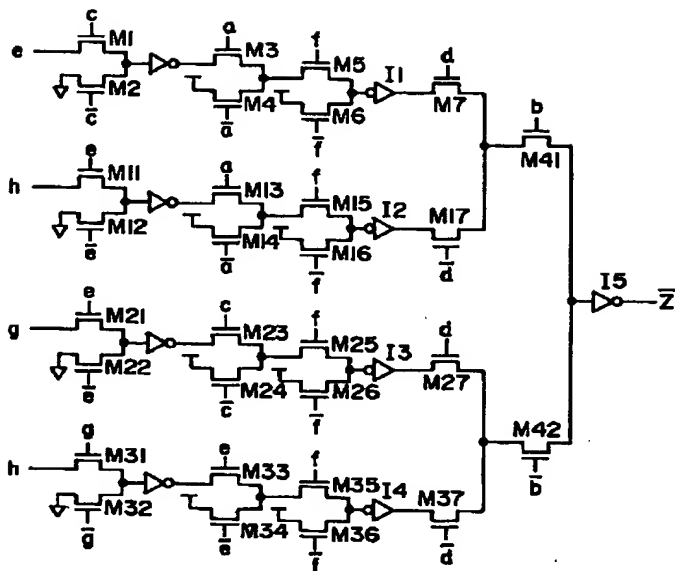
【図 4 7】



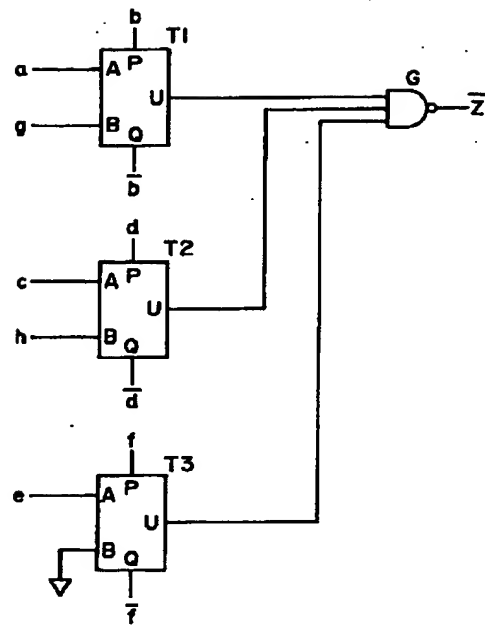
【図 5 0】



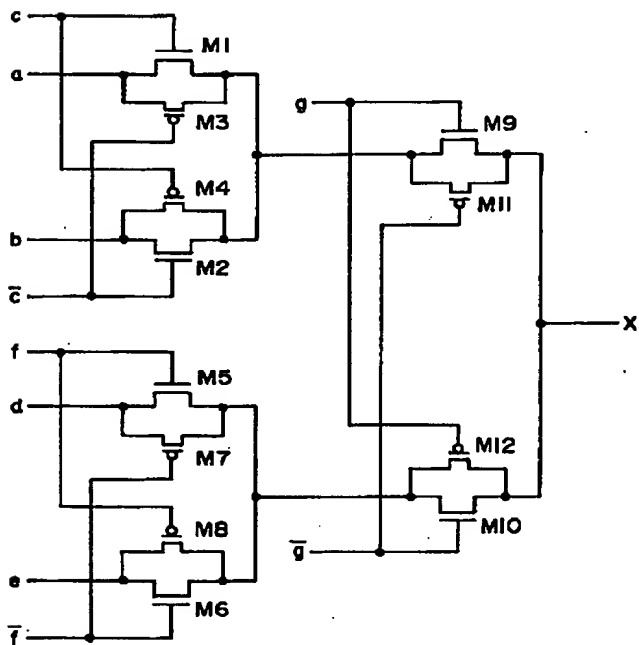
【図48】



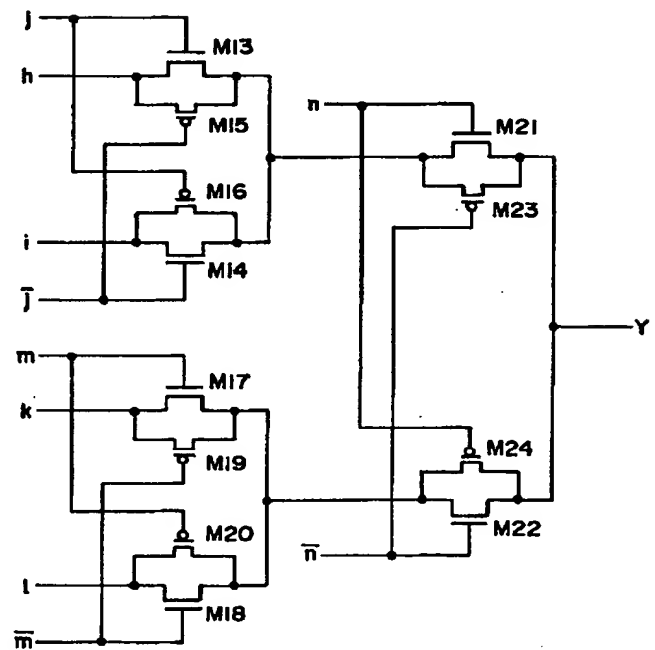
【図49】



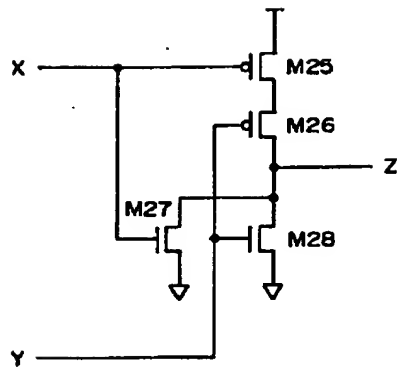
【図51】



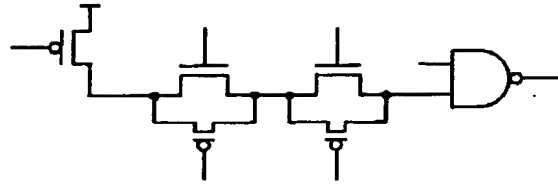
【図52】



【図 5 3】



【図 5 4】



【図 5 5】

